PCA9663

Parallel bus to 3 channel Fm+ I²C-bus controller

Rev. 1 ー 2011 年 6 月 6 日　　製品データシート

この日本語訳資料は、参考資料としてご提供しております。英語版のオリジナル資料は頻繁に更新されます。最終的なご確認は最新の英語版データシートをご参照ください。

1. はじめに

PCA9663 は高度なシングルマスタモード I²C バスコントローラで、データ集約型の I²C バスデータ伝送用にデザインされた第 4 世代のバスコントローラです。PCA9663 には 3 つの独立した I²C バスチャネルがあり、オープンドレイン構成の Fast-mode Plus (Fm+) を使用し、データレートは最大 1 Mbits/s です。各チャネルには 4352 バイトの大きなデータバッファがあり、PCA9663 は大量のシリアルデータの送受信が求められるあらゆる CPU に理想的なソリューションを提供します。

PCA9663 は I²C バスプロトコルコンバータへの 8-bit パラレルバスで、各チャネルは CPU からの干渉なしに 1 つのシリアルシーケンスで最大 64 スレーブまでと通信できるように設定できます。またこのコントローラにはシーケンスループコントロール機能があり、格納されているシーケンスを自動的に再伝送できます。

PCA9663 では、オンボードオシレータと PLL によって I²C バス用のクロックおよびシーケンスルーピングで使用するインターバルタイマーを生成できます。この機能によって、フォルトトレラントアプリケーションでデータの更新が必要な場合の CPU のオーバーヘッドが大幅に軽減されます。

PCA9663 の外部トリガー入力によって、外部イベントとの間でデータの非同期化ができます。トリガーシグナルは、I²C バスを通じて格納されているシーケンスを再伝送するレートをコントロールします。

エラーレポートはトランザクションレベル、チャネルレベル、コントローラレベルで処理され、シンプルな割り込みツリーと割り込みマスクによって、割り込み管理をさらにカスタマイズできます。

コントローラとパラレルバスのインターフェースは 3.3 V で動作します。I²C バス I/O の許容値は 5 V で、ロジックレベルは専用の $V_{DD(IO)}$ 入力ピンを基準にします（範囲は 3.0 V から 5.5 V）。

2. 特徴およびメリット

- パラレルバスから I²C バスへのプロトコルコンバータおよびインターフェース
- 1 Mbit/s、最大 30 mA SCL/SDA I_{OL} Fast-mode Plus (Fm+) の能力
- 1% 精度に調整された内部オシレータ ー 外部コンポーネントの数を削減
- Fm+チャネル用の個別の4352バイトバッファ ー バッファスペースは合計13,056バイト
- 3 レベルのリセット ー 個別ソフトウェアチャネルリセット、グローバルソフトウェアリセット、グローバルハードウェア RESET ピン
- I²C バス I/O 電圧：3.0 V ～ 5.5 V
- 1 つのシリアルシーケンスで、各チャネルで最大 64 スレーブと通信
- シーケンスループピング（インターバルタイマー）

- SCL クロックストレッチをサポート
- JTAG ポート：ボード製造プロセス時の境界スキャンテストに利用可能
- トリガー入力によるシリアル通信と外部イベントの正確な同期化
- マスキング可能な割り込み
- FM+ I²C バス対応、SMBus との互換性
- 動作電圧：3.0 V ～ 3.6 V (デバイスおよびホストインタフェース)
- JEDEC 標準 JESD78 のラッチアップ試験済み ー 100mA 超
- ESD 保護性能: 8,000 V HBM 以上（JESD22-A114）、1000 V CDM 以上（JESD22-C101）
- パッケージ：LQFP48

3. アプリケーション

- I²C バスポートのないコントローラやプロセッサへの I²C バスポートの追加
- 複数のI²Cバスポートを必要とするコントローラ/プロセッサへのI²Cバスポートの追加
- 8 ビットのパラレルデータをシリアルデータストリームへ変換することにより、プリント基板全体で大量のトレースを実行する必要性を排除
- エンターテインメントシステム
- LED マトリックスコントロール
- データ集中型 I²C バス伝送

4. オーダー関連情報

表 1. オーダー関連情報

タイプ	上部マーク	パッケージ		
		名称	説明	バージョン
PCA9663B	PCA9663	LQFP48	プラスチック ロープロファイル クワドフラットパッケージ、48 リード、ボディ 7 × 7 × 1.4 mm	SOT313-2

All information provided in this document is subject to legal disclaimers.
© NXP B.V. 2012. All rights reserved.

5. ブロック図

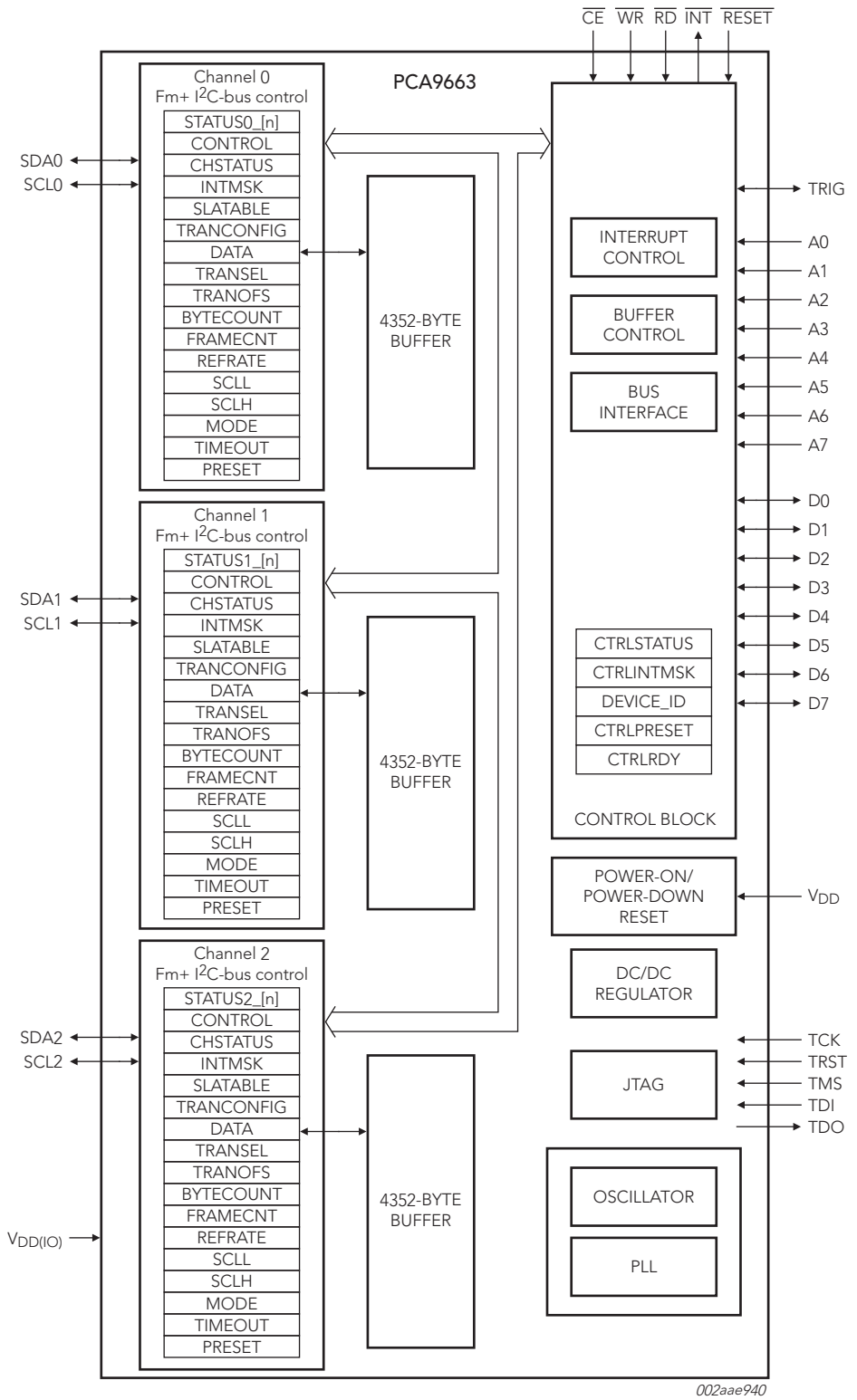


図 1. ブロック図

All information provided in this document is subject to legal disclaimers.

© NXP B.V. 2012. All rights reserved.

6. ピンニング情報

6.1 ピンニング

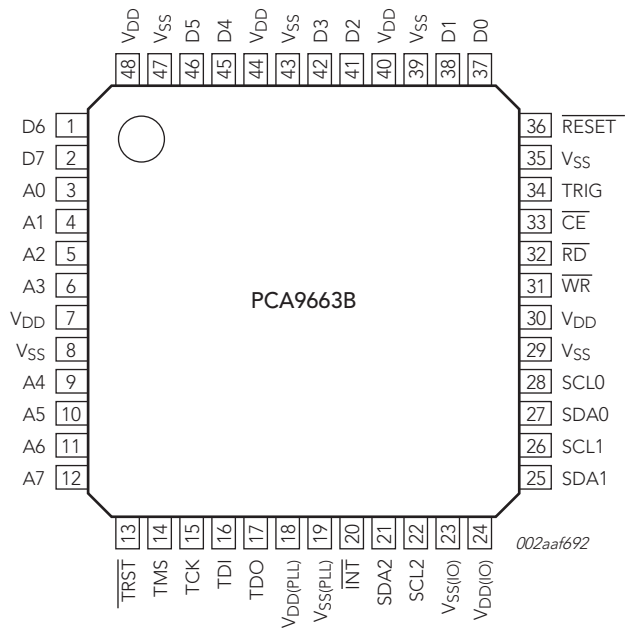


図 2. LQFP48 のピン構成

6.2 ピンの説明

表 2. ピンの説明

シンボル	ピン	タイプ	説明
A0	3	I	**アドレス入力**：読出し / 書込み処理用にバスコントローラ内部レジスタおよびポートを選択します。アドレスは CE が LOW で WR または RD が LOW に移行した場合に登録されます。A0 は最下位ビットです。
A1	4	I	
A2	5	I	
A3	6	I	
A4	9	I	
A5	10	I	
A6	11	I	
A7	12	I	
D0	37	I/O	**データバス**：2 方向 3 ステートデータバスで、バスコントローラとホスト間のコマンド、データおよびステータスの伝送に使用します。D0 は最下位ビットです。データは CE が LOW の場合に WR の立上りエッジで登録されます。
D1	38	I/O	
D2	41	I/O	
D3	42	I/O	
D4	45	I/O	
D5	46	I/O	
D6	1	I/O	
D7	2	I/O	
$\overline{TRST}$	13	I	**JTAG テストリセット入力。**通常動作では LOW (V_{SS}) にホールド。
TMS	14	I	**JTAG テストモード選択入力。**通常動作では LOW (V_{DD}) にホールド。

All information provided in this document is subject to legal disclaimers.

© NXP B.V. 2012. All rights reserved.

表 2. ピンの説明 */続き*

シンボル	ピン	タイプ	説明
TCK	15	I	**JTAG テストクロック入力。**通常動作では HIGH (V_{DD}) にホールド。
TDI	16	I	**JTAG テストデータイン入力。**通常動作では HIGH (V_{DD}) にホールド。
TDO	17	O	**JTAG テストデータアウト出力。**通常動作では接続しません (n.c.)。
$\overline{INT}$	20	O	**割り込みリクエスト**：ActiveLOW、オープンドレイン、出力。このピンにはプルアップデバイスが必要です。
SDA2	21	O	**チャネル 2 I²C バスシリアルデータ入力 / 出力**（オープンドレイン）。このピンにはプルアップデバイスが必要です。
SCL2	22	O	**チャネル 2 I²C バスシリアルクロック入力 / 出力**（オープンドレイン）。このピンにはプルアップデバイスが必要です。
SDA1	25	O	**チャネル 1 I²C バスシリアルデータ入力 / 出力**（オープンドレイン）。このピンにはプルアップデバイスが必要です。
SCL1	26	O	**チャネル 1 I²C バスシリアルクロック入力 / 出力**（オープンドレイン）。このピンにはプルアップデバイスが必要です。
SDA0	27	I/O	**チャネル 0 I²C バスシリアルデータ入力 / 出力**（オープンドレイン）。このピンにはプルアップデバイスが必要です。
SCL0	28	I/O	**チャネル 0 I²C バスシリアルクロック入力 / 出力**（オープンドレイン）。このピンにはプルアップデバイスが必要です。
$\overline{WR}$	31	I	**書込みストローブ**：このピンが LOW で $\overline{CE}$ も LOW の場合、データバスのコンテンツがアドレス指定されたレジスタにロードされます。データは、$\overline{WR}$ の立上りエッジでラッチされます。$\overline{CE}$ は LOW のままか $\overline{WR}$ に移行します。
$\overline{RD}$	32	I	**読出しストローブ**：このピンが LOW で $\overline{CE}$ も LOW の場合、アドレス指定されたレジスタのコンテンツがデータバスにロードされます。読出しサイクルは $\overline{RD}$ の立下りエッジで開始されます。データラインは $\overline{RD}$ と $\overline{CE}$ が LOW の場合に動きます。$\overline{CE}$ は $\overline{RD}$ に移行する場合があります。
$\overline{CE}$	33	I	**チップ有効**：アクティブ LOW 入力シグナル。LOW のとき、ホストとバスコントローラ間のデータ伝送が $\overline{WR}$ のコントロールにより D0 から D7 で、また $\overline{RD}$ のコントロールにより A0 から A7 入力で有効化されます。HIGH のとき、D0 から D7 のラインが 3 ステート状態になります。 初期化中、$\overline{CE}$ はコントローラの準備が整うまで $\overline{RD}$ に移行しなければなりません。
TRIG	34	I	**トリガー入力**：新しいフレーム開始のトリガーを提供します。
$\overline{RESET}$	36	I	**リセット**：アクティブ LOW 入力。LOW レベルでは、デバイスをパワーオン状態にリセットします。ウィークプルアップ電流により内部的に HIGH にプルアップされます。
$V_{DD(IO)}$	24	電源	**I/O 電源**：3.0 V から 5.5 V。I²C バスピンの電源リファレンス。V_{IL}/V_{IH} の電圧リファレンスポイントを設定します。
$V_{SS(IO)}$	23	電源	**I/O 電源グランド。**
V_{DD}	7, 18, 30, 40, 44, 48	電源	**電源**：3.0 V から 3.6 V。すべての V_{DD} ピンは外部で共に接続する必要があります。
V_{SS}	8, 19, 29, 35, 39, 43, 47	電源	**電源グランド。**すべての V_{SS} ピンは外部で共に接続する必要があります。

All information provided in this document is subject to legal disclaimers.

© NXP B.V. 2012. All rights reserved.

7. 機能説明

7.1 全般

PCA9663 は標準の高速パラレルバスとシリアル I²C バス間のインターフェースデバイスとして機能します。I²C バスではマスタとして機能します。I²C バスとパラレルバスホスト間のデータ伝送は、割り込みまたはポールハンドシェークによってバッファベースで行われます。

7.2 内部オシレータおよび PLL

PCA9663 には内部 12.0 MHz オシレータおよび 156 MHz PLL が含まれていて、すべての内部および I²C バスタイミングに使われます。オシレータと PLL にはスタートアップとパワーアップ後のロックのために $t_{init(po)}$ が必要です。シリアルバスが無効化されている場合、オシレータはシャットダウンされません。

7.3 バッファについて

注意：このセクションでは、「トランザクション」は単一スレーブとの間で送受信される連続した一連のコマンドまたはデータ（もしくはその両方）を意味します。また「シーケンス」とは、バッファに格納された一連のトランザクションを指します。

PCA9663 のチャネルには個別の 4352 バイトデータバッファがあり（7.3.2 章「バッファサイズ」を参照）、割り込みの生成前に複数のトランザクションを実行できます。これによってホストは複数のトランザクション（各チャネルの最大バッファサイズまで）を単一のシーケンスでリクエストし、PCA9663 がこれを実行できます。ホストはリクエストしたトランザクションが実行されるたびに干渉する必要がなくなるので、PCA9663 がリクエストされたシーケンスを実行している間に別のタスクを実行できます。

I²C バスコントローラは、シンプルなプロトコルにしたがうだけでいずれかのチャネルの別のスレーブアドレスに向けられた複数の I²C バストランザクションを格納できます。バッファに格納するトランザクションのタイプに制限はないので、読出しと書込みを 1 シーケンス内で組み合わせることができます。1 シーケンスで複数のスレーブ読出しがリクエストされた場合、読出しデータはシーケンス内で連続して格納され、読出し場所を提供するためのバッファ番号を TRANSEL で指定し、TRANOFS バイトオフセット値を指定しなければなりません。デフォルトでは、TRANOFS は「00h」に設定されます。ここでは、ホストが初期化を完了し（モード、マスクおよび他のコンフィギュレーション）、データを 3 つのチャネルのいずれかのバッファにデータを書き込むシナリオを例に説明します。

ホストは、まずバッファコンフィギュレーションレジスタ TRANCONFIG（スレーブ数とスレーブごとのバイト）、次に SLATABLE（スレーブアドレス）をプログラミングすることで開始します。次にホストは TRANSEL（トランザクションデータバッファ選択）および TRANOFS（バイトオフセット選択）を「00h」にプログラミングしてメモリポインタをバッファの最初に設定します（パワーオンまたは RESET 後のデフォルト値は「00h」）。次にホストはシーケンス全体がロードされるまで DATA にデータを伝送します。読出しトランザクションの場合、トランザクション用のメモリスペースをバッファに確保するため、ホストは予定される各シリアル読出しバイトに対してダミーバイト（すなわち「FFh」）を書き込まなければなりません。

バッファは、読出し / 書込みコマンドによってオーバーフローしないように注意する必要があります。オーバーフローが発生した場合（CTRLSTATUS レジスタの BE ビットで表わされます）、logic1 に設定されます。$\overline{INT}$ ピンは、CTRLINTMSK レジスタの BEMSK ビットが logic0 のとき LOW に設定されます。チャネルを復帰させるには、チャネルリセットが必要です。すべてのコンフィギュレーションとデータはホストによるチェックと再送信が必要です（7.3.2 章 「バッファサイズ」を参照）。

All information provided in this document is subject to legal disclaimers.
© NXP B.V. 2012. All rights reserved.

I²C バスコントローラへの必要なすべてのコマンドとデータの送信後、ホストは他のチャネルのデータのプログラミングをするか、CONTROL レジスタへ書き込んで現行チャネルのデータ伝送を開始します。このトランザクションは、SLATABLE に RESTART 条件区切りでリストされているスレーブアドレスの順番で I²C バスに送信されます。シーケンス内の最後のトランザクションは STOP 条件で終了します。

READ コマンドの間にスレーブアドレスの NACK を受信した場合、この読出しに割り当てられたバッファスペースはそのまま残され、この場所に書き込まれた最後の情報が格納されます。データの有効性を保証するため、パラレルバスのバッファ読出しは有効なバッファ状態に達した後にのみ実行される必要があります（7.5.1.1 章 「STATUS0_[n], STATUS1_[n], STATUS2_[n] — トランザクションステータスレジスタ」を参照）。バッファ書込みは、チャネルがアイドル状態のときにのみ可能です。

別のチャネルのデータプログラミングを行うには、そのチャネルを選択して上記の説明にしたがいデータプログラミングを実行します。アイドルチャネルのバッファへ追加のデータを送信する間、1 つまたは複数のチャネルがビジーとなる場合があります。

7.3.1 バッファ管理の前提条件

- 2 つの連続するトランザクションの間に Repeated START が送信される。
- チャネルに対する最後のオペレーション完了後、STOP が送信される。
- READ トランザクションの場合、特定のスレーブが最後のデータバイトを受信した後にそのスレーブへ NACK が送信される。

7.3.2 バッファサイズ

PCA9663 のチャネルには個々にバッファが割り当てられています。バッファのコンテンツの変更はチャネルがアイドル状態のときにのみ行えます。

チャネルごとのメモリ割当ては 4352 バイトです。

バッファのサイズは、そのデータブロックのみに割り当てられているメモリを表します。スレーブアドレステーブルおよびコンフィギュレーションバイトは別の場所に格納され、必要なバッファサイズの計算に含める必要はありません。

たとえば 10 スレーブへの 26 バイトの書込みと 4 スレーブからの 2 バイトの読出しに必要なメモリのサイズの計算は次のようになります。

10 スレーブ × 26 バイト / スレーブ = 260 バイト（書込みトランザクション）

4 スレーブ × 2 バイト / スレーブ = 8 バイト（読出しトランザクション）

このシーケンスの処理に必要なバッファサイズは合計 268 バイトになります。

注意：これらの 30 スレーブアドレスの格納に必要なバイトはこの計算には含まれません（SLATABLE レジスタに格納されるため）。

7.4 エラーレポートおよび処理

トランザクションでエラーが発生した場合、デバイスはトランザクションのエラーステータスを STATUSx_[n] にロードし、マスキングされていない場合は $\overline{\text{INT}}$ ピンをプルダウンして割り込みを生成し、CHSTATUS レジスタと CTRLSTATUS レジスタを更新します。個々の SLA アドレスのステータスは STATUSx_[n] レジスタに格納されます。

スレーブから NACK が送信された場合、考えられるプロセスは 2 つあります。1 つは割り込みが生成され現行トランザクションとシーケンスが中止されるプロセスで、もう 1 つは WEMSK および（または）REMSK が logic1 の場合、NACK のバイトは無視されてシーケンス内の次のトランザクションへ伝送が継続され、シーケンスの終了まで処理が行われます。コントローラは NACK が発生したスレーブアドレスおよび（または）データをス

All information provided in this document is subject to legal disclaimers.
© NXP B.V. 2012. All rights reserved.

キップし、シーケンス内の次のトランザクションに移行します。すべてのエラーは、対応する STATUSx_[n] レジスタ（n はスレーブのバッファ番号）または CHSTATUS もしくは CTRLSTATUS レジスタにレポートされます。

7.5 レジスタ

PCA9663 には、デバイスのオペレーション、ステータスレポーティング、データ送受信を設定するための複数のレジスタが含まれています。また、チップレベルのコントロールとステータスレポーティングのためのグローバルレジスタも用意されています。

STATUSx_[n] レジスタはチャネルレベルの直接アクセスレジスタです。DATA、SLATABLE、TRANCONFIG、BYTECOUNT の各レジスタは自動増分レジスタです。

DATA レジスタへのメモリアクセスポインタは、TRANSEL レジスタと TRANOFS レジスタを使用してプログラムできます。ポインタリセットビット BPTRRST と AIPTRRST の詳細は 7.5.1.2 章 「CONTROL — コントロールレジスタ」を参照してください。

All information provided in this document is subject to legal disclaimers.
© NXP B.V. 2012. All rights reserved.

表 3. PCA9663 レジスタアドレスマップ — 直接レジスタアクセス

7	6	5	4	3	2	1	0	レジスタ名	アクセス	CHがアクティブ時の書込みアクセス	説明	デフォルト	サイズ（バイト）
チャネルステータスレジスタ													
0	0	チャネル 0 トランザクション数（16 進）						STATUS0_[n]	R	no	個別のトランザクションステータス（直接アドレス）	00h	64
0	1	チャネル 1 トランザクション数（16 進）						STATUS1_[n]	R	no	個別のトランザクションステータス（直接アドレス）	00h	64
1	0	チャネル 2 トランザクション数（16 進）						STATUS2_[n]	R	no	個別のトランザクションステータス（直接アドレス）	00h	64
チャネル 0 (Fm+) レジスタ													
1	1	0	0	0	0	0	0	CONTROL	R/W	yes[1]	チャネル 0 コントロール	00h	1
				0	0	0	1	CHSTATUS	R	no	チャネル 0 ステータス	00h	1
				0	0	1	0	INTMSK	R/W	yes	チャネル 0 割り込みマスク	00h	1
				0	0	1	1	SLATABLE	R/W	no	チャネル 0 スレーブアドレステーブル（自動増分）	00h	64
				0	1	0	0	TRANCONFIG	R/W	yes（TRANCOUNT について）[2]	チャネル 0 トランザクションコンフィギュレーション（自動増分）	00h	65
				0	1	0	1	DATA	R/W	yes	チャネル 0 データ（自動増分）	00h	bufsize[3]
				0	1	1	0	TRANSEL	R/W	yes	チャネル 0 トランザクションデータバッファ選択	00h	1
				0	1	1	1	TRANOFS	R/W	yes	チャネル 0 トランザクションデータバッファバイトオフセット t	00h	1
				1	0	0	0	BYTECOUNT	R	no	チャネル 0 トランザクションバイトカウント（自動増分）	00h	64
				1	0	0	1	FRAMECNT	R/W	no	チャネル 0 フレームカウント	01h	1
				1	0	1	0	REFRATE	R/W	no	チャネル 0 フレームリフレッシュ・レート	00h	1
				1	0	1	1	SCLL	R/W	no	チャネル 0 クロック LOW 状態	5Eh	1
				1	1	0	0	SCLH	R/W	no	チャネル 0 クロック HIGH 状態	3Fh	1
				1	1	0	1	MODE	R/W	no	チャネル 0 モード	92h	1
				1	1	1	0	TIMEOUT	R/W	no	チャネル 0 タイムアウト	00h	1
				1	1	1	1	PRESET	R/W	yes	チャネル 0 パラレルリセット	00h	1

All information provided in this document is subject to legal disclaimers.

© NXP B.V. 2012. All rights reserved.

表 3. PCA9663 レジスタアドレスマップ — 直接レジスタアクセス */続き*

7	6	5	4	3	2	1	0	レジスタ名	アクセス	CHがアクティブ時の書込みアクセス	説明	デフォルト	サイズ（バイト）
チャネル 1 (Fm+) レジスタ													
1	1	0	0	0	0	0	0	CONTROL	R/W	yes[1]	チャネル 0 コントロール	00h	1
				0	0	0	1	CHSTATUS	R	no	チャネル 0 ステータス	00h	1
				0	0	1	0	INTMSK	R/W	yes	チャネル 0 割り込みマスク	00h	1
				0	0	1	1	SLATABLE	R/W	no	チャネル 0 スレーブアドレステーブル（自動増分）	00h	64
				0	1	0	0	TRANCONFIG	R/W	yes（TRANCOUNT について）[2]	チャネル 0 トランザクションコンフィギュレーション（自動増分）	00h	65
				0	1	0	1	DATA	R/W	yes	チャネル 0 データ（自動増分）	00h	bufsize[3]
				0	1	1	0	TRANSEL	R/W	yes	チャネル 0 トランザクションデータバッファ選択	00h	1
				0	1	1	1	TRANOFS	R/W	yes	チャネル 0 トランザクションデータバッファバイトオフセット	00h	1
				1	0	0	0	BYTECOUNT	R	no	チャネル 0 トランザクションバイトカウント（自動増分）	00h	64
				1	0	0	1	FRAMECNT	R/W	no	チャネル 0 フレームカウント	01h	1
				1	0	1	0	REFRATE	R/W	no	チャネル 0 フレームリフレッシュ・レート	00h	1
				1	0	1	1	SCLL	R/W	no	チャネル 0 クロック LOW 状態	5Eh	1
				1	1	0	0	SCLH	R/W	no	チャネル 0 クロック HIGH 状態	3Fh	1
				1	1	0	1	MODE	R/W	no	チャネル 0 モード	92h	1
				1	1	1	0	TIMEOUT	R/W	no	チャネル 0 タイムアウト	00h	1
				1	1	1	1	PRESET	R/W	yes	チャネル 0 パラレルリセット	00h	1

All information provided in this document is subject to legal disclaimers.

© NXP B.V. 2012. All rights reserved.

表 3. PCA9663 レジスタアドレスマップ — 直接レジスタアクセス */続き*

7	6	5	4	3	2	1	0	レジスタ名	アクセス	CHがアクティブ時の書込みアクセス	説明	デフォルト	サイズ（バイト）
チャネル 2 (Fm+) レジスタ													
1	1	0	0	0	0	0	0	CONTROL	R/W	yes[1]	チャネル 0 コントロール	00h	1
				0	0	0	1	CHSTATUS	R	no	チャネル 0 ステータス	00h	1
				0	0	1	0	INTMSK	R/W	yes	チャネル 0 割り込みマスク	00h	1
				0	0	1	1	SLATABLE	R/W	no	チャネル 0 スレーブアドレステーブル（自動増分）	00h	64
				0	1	0	0	TRANCONFIG	R/W	yes（TRANCOUNT について）[2]	チャネル 0 トランザクションコンフィギュレーション（自動増分）	00h	65
				0	1	0	1	DATA	R/W	yes	チャネル 0 データ（自動増分）	00h	bufsize[3]
				0	1	1	0	TRANSEL	R/W	yes	チャネル 0 トランザクションデータバッファ選択	00h	1
				0	1	1	1	TRANOFS	R/W	yes	チャネル 0 トランザクションデータバッファバイトオフセット	00h	1
				1	0	0	0	BYTECOUNT	R	no	チャネル 0 トランザクションバイトカウント（自動増分）	00h	64
				1	0	0	1	FRAMECNT	R/W	no	チャネル 0 フレームカウント	01h	1
				1	0	1	0	REFRATE	R/W	no	チャネル 0 フレームリフレッシュ・レート	00h	1
				1	0	1	1	SCLL	R/W	no	チャネル 0 クロック LOW 状態	5Eh	1
				1	1	0	0	SCLH	R/W	no	チャネル 0 クロック HIGH 状態	3Fh	1
				1	1	0	1	MODE	R/W	no	チャネル 0 モード	92h	1
				1	1	1	0	TIMEOUT	R/W	no	チャネル 0 タイムアウト	00h	1
				1	1	1	1	PRESET	R/W	yes	チャネル 0 パラレルリセット	00h	1

All information provided in this document is subject to legal disclaimers.

© NXP B.V. 2012. All rights reserved.

表 3. PCA9663 レジスタアドレスマップ — 直接レジスタアクセス */続き*

7	6	5	4	3	2	1	0	レジスタ名	アクセス	CHがアクティブ時の書込みアクセス	説明	デフォルト	サイズ（バイト）
グローバルレジスタ													
1	1	1	1	0	0	0	0	CTRLSTATUS	R	yes	コントローラステータス	00h	1
				0	0	0	1	CTRLINTMSK	R/W	yes	マスタ割り込みマスク	00h	1
				0	0	1	0	-	R	no	reserved	00h	
				0	0	1	1	-	R	no	reserved	00h	
				0	1	0	0	-	R	no	reserved	00h	
				0	1	0	1	-	R	no	reserved	00h	
				0	1	1	0	DEVICE_ID	R	no	device ID	E9h	
				0	1	1	1	CTRLPRESET	R/W	yes	マスタパラレルリセット	00h	1
				1	1	1	1	CTRLRDY[4]	R	no	コントローラ対応レジスタ	FFh	1

[1] TP、TE を除く。TE がアクティブなときに TP の極性を変更するとトリガーエラーが発生します。

[2] トランザクションカウント（TRANCONFIG[0]）は、シーケンス間のアイドル状態の際に書き込めます。

[3] チャネルメモリ割り当ての詳細は 7.3.2 章「バッファサイズ」を参照してください。

[4] Controller ready = FFh は POR の直後またはハードウェアリセットもしくはグローバルリセットの後。初期化ルーチンが完了するとクリア (00h) します。

All information provided in this document is subject to legal disclaimers.

© NXP B.V. 2012. All rights reserved.

7.5.1 チャネルレジスタ

7.5.1.1 STATUS0_[n], STATUS1_[n], STATUS2_[n] — トランザクションステータスレジスタ

STATUS0_[n]、STATUS1_[n]、STATUS2_[n] は 8 ビット × 64 読出し専用レジスタで、指定のトランザクションのステータス情報を提供します。使用されるのは下位 5 ビットのみで、最上位ビットは常に「0」です。これらのビットのいずれかが設定されると、チャネル割り込みがリクエストされます（$\overline{\text{INT}}$ ピンは LOW）。STATUSx_[n] レジスタの読出しによってステータスはクリアされます。すべての STATUSx_[n] レジスタをクリアする場合は、すべての STATUSx_[n] レジスタのバイトごとの読出しが必要です。コントローラは、FRAMECNT=1 のときシーケンスの各 START でレジスタを自動クリアします。FRAMECNT ≠ 1 の場合は最初の START のみでレジスタが自動クリアされます。

各レジスタバイトには直接アドレス指定でアクセスできるので、ホストは 64 のステータスバイトすべてを読出さなくても 1 つまたは複数の個別トランザクションのステータスを読出すこともできます。

表 4. STATUSx_[n] ー トランザクションステータスコードレジスタビットの説明

ビット	シンボル	説明
7:5	ST[7:5]	常に 000 を読出し。
4	RSN	スレーブ NACK を読出し。HIGH のとき、読出しトランザクションでシリアルバスのスレーブアドレスが伝送された後に NACK を受信。割り込みがリクエストされます。
3	WSN	スレーブ NACK を書込み。HIGH のとき、書込みトランザクションでシリアルバスのスレーブアドレスが伝送された後に NACK を受信。割り込みがリクエストされます。
2	WDN	データ NACK を書込み。HIGH のとき、シリアルバスの書込みトランザクション中にデータバイトの NACK を受信。割り込みがリクエストされます。
1	TA	トランザクションアクティブ。「1」のとき、シリアルバスのトランザクションは現在アクティブ。割り込みはリクエストされません。
0	TR	トランザクション準備完了。1 のとき、トランザクションがバッファにロードされ実行待ち状態になります。割り込みはリクエストされません。

注意：STATUSx_[n]=00h のとき、割り込みはリクエストされず、トランザクションは「Done/Idle」状態になります。

プログラム実行時の TR および TA ビットの挙動は次のとおりです。

1 シーケンスで 3 つのトランザクションを伝送した場合の例。すべての初期化は完了し（SLA、TRANCONFIG、DATA のロード）、デバイスのシリアル伝送の準備が完了した状態です。

STA ビット設定前の STATUSx_[n] レジスタの内容：

STATUSx_[0] = 0

STATUSx_[1] = 0

STATUSx_[2] = 0

STATUSx_[3] = 0

:

All information provided in this document is subject to legal disclaimers.
© NXP B.V. 2012. All rights reserved.

STA 設定後：

STATUSx_[0] = 2

STATUSx_[1] = 1

STATUSx_[2] = 1

STATUSx_[3] = 0

:

初期化後の STA ビットの設定にタイミング要件はないので、デバイスは STA ビットの設定時に最初のステータスを更新し、常に 0 から 2 に設定します（アイドルからトランザクションアクティブ）。

7.5.1.2 CONTROL — コントロールレジスタ

CONTROL は 8 ビットレジスタです。STO ビットはバスコントローラハードウェアの影響を受け、I²C バスに STOP 条件がある場合にクリアされます。

表 5. CONTROL — コントロールレジスタビットの説明

アドレス：チャネル 0=C0h; チャネル 1=D0h; チャネル 2=E0h

凡例： リセット値*

ビット	シンボル	アクセス	値	説明
7	STOSEQ	R/W		STOP シーケンスビット。
			1	チャネルがアクティブなときに STOSEQ ビットが設定されると、I²C バスでの現行シーケンスの伝送の終了後ただちに STOP 条件が終了されます。バッファにある他のトランザクションは実行されず、チャネルはアイドル状態に戻ります。最後のビットまでについて通常のエラーレポートが生成されます。バスで STOP 条件が検出されると、ハードウェアは STOSEQ フラグをクリアします。
			0	STOSEQ がリセットされると何のアクションも実行されません。
6	STA	R/W		START フラグ。
			1	シーケンス開始に STA ビットを設定すると、バスコントローラハードウェアは I²C バスのステータスをチェックし、バスがフリーの場合に START 条件を生成します。バスがアイドル状態ではない場合、$\overline{\text{INT}}$ は LOW になり、CHSTATUS レジスタにはバスエラーコードが含まれます（DAE または CLE が設定されます）。 STA ビットは、有効なアイドル状態の場合にのみ設定されます。コントローラがこのビットをリセットする条件は次のとおりです。 • シーケンスが完了し、FRAMECNT = 1 のとき。 • シーケンスループが完了し、FRAMECNT > 1 のとき。 • STOSEQ ビットが設定され、FRAMECNT = 0 で、現行シーケンスが完了したとき。 • STOSEQ ビットが設定され、FRAMECNT > 1 で、現行シーケンスが完了したとき。 • STO ビットが設定され、現行バイトトランザクションが完了したとき。CHEN ビットが 0 のとき、このビットは設定できません。
			0	STA ビットがリセットされると、START 条件は生成されません。
5	STO	R/W		STOP フラグ。
			1	チャネルがアクティブなときに STOSEQ ビットが設定されると、I²C バスに現行のデータまたはスレーブアドレスバイトが伝送された後ただちに STOP 条件が伝送されます。読出しが進行中の場合、STOP の前に NACK が生成されます。バッファにある他のトランザクションは実行されず、チャネルはアイドル状態に戻ります。最後のビットまでについて通常のエラーレポートが生成されます。 バスで STOP 条件が検出されると、ハードウェアは STO フラグをクリアします。
			0	STO がリセットされると何のアクションも実行されません。
4	TP	R/W		トリガー極性ビット。チャネルがアクティブなときは変更できません。
			1	トリガーは立下りエッジで検出。
			0	トリガーは立上りエッジで検出。

All information provided in this document is subject to legal disclaimers.

© NXP B.V. 2012. All rights reserved.

表 5. CONTROL — コントロールレジスタビットの説明 *ノ続き*

アドレス：チャネル 0=C0h; チャネル 1=D0h; チャネル 2=E0h

凡例： リセット値*

ビット	シンボル	アクセス	値	説明
3	TE	R/W		TE（トリガー有効）ビットは、フレーム更新に使用するトリガー入力をコントロールします。チャネルがアクティブなとき、TE は変更できません。トリガー入力が有効なとき、トリガーは FRAMECNT レジスタのコンテンツを上書きし、STA ビットの設定時にトリガーを開始します。その後、トリガーを検出するとコントローラは START コマンドを発行し、格納されているシーケンスがシリアルバスで伝送されます。
			1	TE = 1 のとき、シーケンスはトリガー入力によってコントロールされます。
			0	TE = 0 のとき、トリガー入力は無視されます。
2	BPTRRST	W	1	BYTECOUNT の自動増分ポインタをリセット。
1	AIPTRRST	W	1	SLATABLE および TRANCONFIG の自動増分ポインタをリセット。DATA レジスタ自動増分ポインタは、TRANSEL および TRANOFS レジスタに対応した値に設定されます。 **注意**：データポインタをリセットする場合は、TRANSEL に「00h」と書き込みます。
0	-	W	0	Reserved 「0」を書き込む必要があります。

注意：STA ビットの設定とトリガーパルス検出の間のレイテンシ（待ち時間）が短いため、受信するトリガーパルスと同時に STA ビットが設定されるとパルスは無視され、コントローラは START を送信する為次のトリガーを待ちます。

STA ビットが 0 のときに STO ビットまたは STOSEQ ビットが設定されると、何のアクションも実行されず、これらのビットへの書込みは無視されます。

注意：STO は STOSEQ よりも優先されます。

All information provided in this document is subject to legal disclaimers.

© NXP B.V. 2012. All rights reserved.

表 6. CONTROL レジスタビット STA、STO、STOSEQ オペレーション / 動作

チャネル状態（初期化ステップ））	ホストによる次の書込みアクション					結果
	FRAMECNT	TE	STA	STO	STOSEQ	
アイドル（リセット、TRANCONFIG、SLATABLE、DATA、STA = 0）	1	0	0	X	X	アクションなし
	1	0	1	X	X	シリアルバスで START が伝送され、続けてバッファに格納されているシーケンスが伝送されます。
アクティブ（リセット、TRANCONFIG ロード、SLATABLE、DATA、STA = 1）	1	0	X	0	X	変更なし。アクティブなとき STA は書き込ません。
	1	0	X	1	X	STO ビットの設定時、可能なアクションは 2 つあります。 1. トランザクションが読出しの場合、最初の読出しバイトの後に STOP が送信され（NACK が送信）、バイトカウントが更新されます。 2. トランザクションが書込みの場合、現行バイトの ACK サイクル終了後に STOP が送信され、BYTECNT が更新されます。 SD ビットが設定されます。
REFRATE ループアイドル（リセット、TRANCONFIG ロード、SLATABLE、DATA、STA = 1）[1]	≠ 1	0	0	X	X	アクションなし
	≠ 1	0	X	0	1	チャネルはただちに無効状態となり、SD および FLD ビットが設定されます。[2]
	≠ 1	0	X	1	X	チャネルはただちに無効状態となり、SD および FLD ビットが設定されます。[2]
REFRATE ループアクティブ（リセット、TRANCONFIG ロード、SLATABLE、DATA、STA = 1）	≠ 1	0	X	0	0	アクションなし
	≠ 1	0	X	0	1	現行フレームの終了後に停止（STOP）。SD および FLD ビットが設定されます。
	≠ 1	0	X	1	X	STO ビットの設定時、可能なアクションは 2 つあります。 1. トランザクションが読出しの場合、最初の読出しバイトの後に STOP が送信され（NACK が送信）、バイトカウントが更新されます。 2. トランザクションが書込みの場合、現行バイトの ACK サイクル終了後に STOP が送信され、BYTECNT が更新されます。 SD および FLD ビットが設定されます。
トリガーループアイドル（リセット、TRANCONFIG ロード、SLATABLE、DATA、STA = 1）	X	1	0	X	X	アクションなし
	X	1	X	0	1	現行フレームの終了後に停止（STOP）。SD および FLD ビットが設定されます。
	X	1	X	1	X	STO ビットの設定時、可能なアクションは 2 つあります。 1. トランザクションが読出しの場合、最初の読出しバイトの後に STOP が送信され（NACK が送信）、バイトカウントが更新されます。 2. トランザクションが書込みの場合、現行バイトの ACK サイクル終了後に STOP が送信され、BYTECNT が更新されます。 SD および FLD ビットが設定されます。

All information provided in this document is subject to legal disclaimers.

© NXP B.V. 2012. All rights reserved.

表 6. CONTROL レジスタビット STA、STO、STOSEQ オペレーション / 動作 */続き*

チャネル状態（初期化ステップ）)	ホストによる次の書込みアクション					結果
	FRAMECNT	TE	STA	STO	STOSEQ	
トリガーループアクティブ（リセット、TRANCONFIG ロード、SLATABLE、DATA、STA = 1）	X	1	X	0	0	アクションなし
	X	1	X	0	1	チャネルはただちに無効状態となり、SD および FLD ビットが設定されます。[2]
	X	1	X	1	X	チャネルはただちに無効状態となり、SD および FLD ビットが設定されます。[2]

[1] ループアイドル（Loop Idle）は、STA=1 の間、STOP から次のシーケンスの START までに経過する時間です。

[2] チャネルアクティブ（Channel Active）は、CTRLSTATUS[5:3] ビットによって定義されます。

7.5.1.3 CHSTATUS — チャネルステータスレジスタ

CHSTATUS は 8 ビット読出し専用レジスタで、指定のチャネルのステータス情報を提供します。これらのステータスビットの一部はエラーコードで、INTMSK レジスタによるマスキングができず（NMI）、ホストからの監視が必要です。これらのすべてのステータスによって $\overline{\text{INT}}$ ピンアクティブ LOW となります。個々のチャネル割り込みリクエストをクリアするには、CHSTATUS レジスタを読出す必要があります。BE 割り込みは、CTRLSTATUS レジスタを読出すことでクリアされます。

CHSTATUS レジスタがクリアされた後、CHSTATUS ビットは新しいエラーまたはステータス更新のみによって設定されます。

表 7. CHSTATUS — チャネルおよびバッファステータスコードレジスタビットの説明
アドレス：チャネル 0=C1h; チャネル 1=D1h; チャネル 2=E1h

ビット	シンボル	説明
7	SD	シーケンス完了。バッファにロードされたシーケンスが送信され、シリアルバスに STOP が発行されました。
6	FLD	フレームループ完了。FRAMECNT 値に達しました。バスに STOP が発行されました。
5	WE	トランザクションで書込みエラーを検出。シーケンスの書込みトランザクションで SLA NACK またはデータ NACK が検出されました。
4	RE	トランザクションで読出しエラーを検出。シーケンスの読出しトランザクションで SLA NACK が検出されました。
3	DAE	バスエラー、SDA スタック LOW。
2	CLE	バスエラー、SCL スタック LOW。
1	SSE	バスエラー、不正 START または STOP を検出。
0	FE	フレームエラーを検出。シーケンス送信に必要な時間が REFRATE レジスタにプログラムされているリフレッシュ・レートまたはトリガーのチック間の時間を超えました。

DAE、CLE、SSE ビットはバスのエラー状態に対応し、FE ビットはホストプログラミングエラーに対応しています。

DAE — SDA エラービット：PCA9663 が START 条件の送信を試行している際に SDA ラインが LOW にスタックしていることを示します。

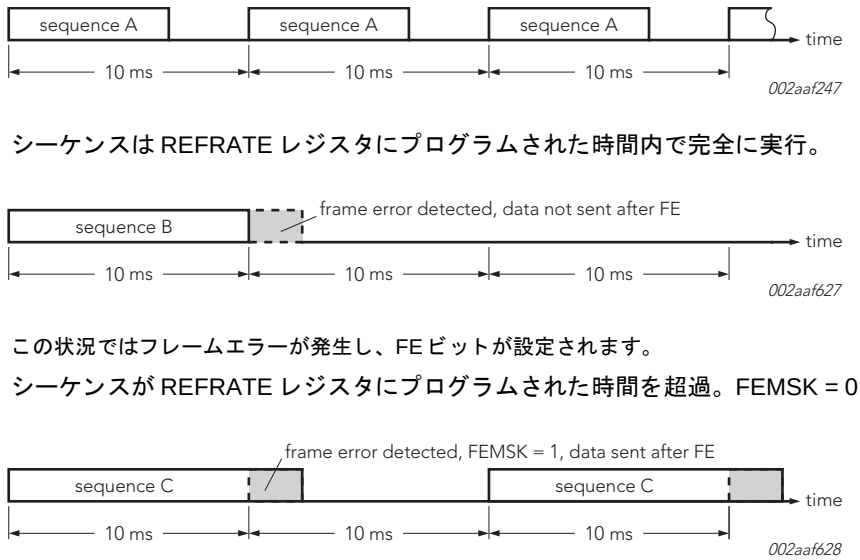
CLE — SCL エラービット：SCL ラインが LOW にスタックしていることを示します。

SSE — 不正 START/STOP 検出ビット：シリアル伝送中にバスエラーが発生したことを示します。フォーマットフレーム内の不正な場所で START または STOP 条件が発生した場合、バスエラーとなります。不正な場所の例には、アドレスバイトやデータバイト、または確認ビットのシリアル伝送中があります。バスエラーは、内部 PCA9663 シグナルが外部からの干渉を受けた場合にも発生します。

All information provided in this document is subject to legal disclaimers.

© NXP B.V. 2012. All rights reserved.

FE - フレームエラービット：シーケンス送信に必要な時間が REFRATE レジスタにプログラムされているリフレッシュ・レートまたはトリガーのチック間の時間を超えました。フレームエラーの解決には、リフレッシュ・レートの時間を長くする、バス周波数をスピードアップする、シーケンス内で送受信するバイト量を短くする、トリガーチック間の時間を長くするなどの方法があります。フレームエラーが FEMSK によってマスキングされている場合、デバイスは新しいトリガーが検出されたとしてもシーケンスを再スタートすることなく、シーケンスの終了までトランザクションの伝送を継続します。伝送したシーケンスの合計数が FRAMECNT レジスタに格納される数になります。完全なシーケンスの伝送が完了すると、続くトリガーによって新しいシーケンスが開始されます。FE フラグは HIGH のまま維持され、CHSTATUS が読み取られるまでシーケンスは伝送されます。フレームエラーがマスキングされていない場合、シーケンスは次の論理停止ポイント（すなわち読出しトランザクションの場合は NACK が送信）で中止され、STOP が伝送されて割り込みが生成されます。コントローラは制御されたメカニズムにしたがってシーケンスを終了するので、読出しトランザクション中にフレームエラー（FE）が検出されると 2 バイトの遅延が発生する場合があります。FE ビットはバスに STOP が検出された後に設定されます。



a. シーケンスは REFRATE レジスタにプログラムされた時間内で完全に実行。

この状況ではフレームエラーが発生し、FE ビットが設定されます。

b. シーケンスが REFRATE レジスタにプログラムされた時間を超過。FEMSK = 0

c. シーケンスが REFRATE レジスタにプログラムされた時間を超過。FEMSK = 1

図 3. フレームエラーの検出

All information provided in this document is subject to legal disclaimers.

© NXP B.V. 2012. All rights reserved.

表 8. エラー検出オペレーション / 挙動

チャネルの状態	AR（MODE レジスタ）	エラー検出（CHSTATUS）			次のアクション
		DAE	CLE	SSE	
アクティブまたはアイドル	X	0	0	1	割り込みが設定され、トランザクションがアクティブな場合はただちに中止され、コントローラによるそれ以上のアクションはありません。ホストはバスの再初期化（すなわちバスの復旧を実行）、スレーブのリセット、または他の適切な復旧アクションを実行します。バスの復旧後、ホストはトランザクションを再開します。
アクティブまたはアイドル、タイムアウトが有効、クロックラインが LOW	X	0	1	0	割り込みが設定され、アクティブなトランザクションはただちに中止され、コントローラによるそれ以上のアクションはありません。バスコントローラによるバスの復旧はできません。ホストがスレーブまたはシステムのリセットによりバスを復旧します。バスの復旧後、ホストはトランザクションを再開します。
アクティブ、START または Repeated START 条件	1	0	0	0	割り込みは設定されず、アクティブなトランザクションはただちに中止され、バスコントローラによりバスの復旧が試行されます。バスが復旧した場合 START が自動的に発行され、トランザクションのエラーが発生した場所からシリアル伝送が通常どおり継続されます。ホストによるアクションは必要ありません。
	1	1	0	0	割り込みが設定され、自動復旧が試行され、失敗しました。アクティブなトランザクションがただちに中止され、バスコントローラバス復旧アクションを判断します（たとえば BR ビットの設定またはスレーブのリセット）。
	0	1	0	0	割り込みが設定され、アクティブなトランザクションはただちに中止され、バスコントローラによるバスの復旧は試行されません。ホストは BR ビットを設定することでバスの復旧を試行するか、他のバス復旧処理を決定します。

7.5.1.4 INTMSK — 割り込みマスクレジスタ

INTMSK レジスタを通じ、どの状態で割り込みを生成するのかを管理することが可能になるので、トランザクションに対するホストの管理能力をより高められます。割り込みマスクは、指定のチャネルのすべてのトランザクションに適用されます。マスクがアクティブの場合ビットは「1」に設定されます。レジスタのデフォルトでは、すべての割り込みはマスキングされません（00h）。

表 9. INTMSK — 割り込みマスクレジスタビットの説明

アドレス：チャネル 0=C2h; チャネル 1=D2h; チャネル 2=E2h

ビット	シンボル	説明
7	SDMSK	シーケンス完了マスク。シーケンス終了割り込みは生成されません。
6	FLDMSK	フレームループ完了マスク。フレームループ完了割り込みは生成されません。コントローラはアイドル状態に入ります。
5	WEMSK	書込みエラーマスク。SLA NACK またはデータ NACK 割り込みは生成されず、コントローラはトランザクション内の残りの書込みデータをスキップし、シーケンス内の次のトランザクションの START で処理を継続します。
4	REMSK	トランザクションで読出しエラーを検出。SLA NACK は生成されず、コントローラはトランザクション内の読出しデータをスキップし、シーケンス内の次のトランザクションの START で処理を継続します。
3:1	-	reserved
0	FEMSK	フレームエラーマスク。フレームエラー割り込みは生成されません。 **注意**：このマスクを使用する場合は十分な注意が必要です。スレーブデバイスで予期せぬエラーが発生する場合があります。

All information provided in this document is subject to legal disclaimers.

© NXP B.V. 2012. All rights reserved.

7.5.1.5 SLATABLE — スレーブアドレステーブルレジスタ

SLATABLE は 8 ビット × 64 レジスタセットで、シーケンス内の各トランザクションのスレーブアドレスを格納するテーブルを構成します。このテーブルは、自動増分ポインタ（ユーザーアクセス不可）を使用してロードされます。ポインタをリセットするには、CONTROL レジスタで AIPTRRST ビットを設定する必要があります。SLATABLE レジスタのスレーブアドレスはゼロベース（N-1）インデックスで格納されます。最初のスレーブアドレスの場所は「00h」です。

注意：トランザクションカウントよりも大きいスレーブアドレスエントリはシーケンスの一部ではありません。TRANCONFIG[0] には、シーケンスに含まれるトランザクションカウントが含まれます。

表 10. SLATABLE ー スレーブアドレステーブルレジスタビットの説明

アドレス：チャネル 0=C3h; チャネル 1=D3h; チャネル 2=E3h

ビット	シンボル	説明
7:1	SLATABLE[7:1]	スレーブアドレス。
0	SLATABLE[0]	1 のとき、読出しトランザクションがリクエスト。 0 のとき、書込みトランザクションがリクエスト。

表 11. SLATABLE レジスタの例

トランザクション	スレーブアドレス
00h	10h
01h	12h
02h	28h
03h	40h
04h	14h
:	:
3Fh	36h

All information provided in this document is subject to legal disclaimers.

© NXP B.V. 2012. All rights reserved.

7.5.1.6 TRANCONFIG — トランザクションコンフィギュレーションレジスタ

TRANCONFIG レジスタは 8 ビット × 65 レジスタセットで、シーケンス内で実行されるトランザクション数およびトランザクションの対象となるデータバイト数を含むテーブルを構成します。

このレジスタの最初のバイトは Transaction Count（トランザクションカウント）レジスタです。残りの 64 レジスタは Transaction Length（トランザクション長）レジスタです。

表 12. TRANCONFIG, バイト 0 — トランザクションコンフィギュレーションレジスタビットの説明

アドレス：チャネル 0=C4h; チャネル 1=D4h; チャネル 2=E4h

ビット	シンボル	説明
7:0		シーケンス内のトランザクション数。最大値は「40h」。

表 13. TRANCONFIG, バイト 1 から 40h — トランザクションコンフィギュレーションレジスタビットの説明

ビット	シンボル	説明
7:0		シーケンス内のトランザクションごとのバイト数。最大値は「FF h」。

表 14. ロードされた TRANCONFIG レジスタの例

レジスタ	値	説明
トランザクションカウント	10h	16 トランザクション = SLATABLE 内に 16 スレーブアドレス
トランザクション長 00h	0Ah	10 バイトトランザクション
トランザクション長 01h	12h	18 バイトトランザクション
トランザクション長 02h	28h	40 バイトトランザクション
トランザクション長 03h	40h	64 バイトトランザクション
:	:	:
トランザクション長 3Fh	12h	18 バイトトランザクション

注意：トランザクション長 (TRANCONFIG[1:40h]) および SLATABLE([0:3Fh]) が完全に初期化されたとしても、シーケンスに含まれるのはトランザクションカウント (TRANCONFIG[0]) で指定された数のトランザクションのみです。

トランザクションカウントが「0」の場合、STA ビットが設定されているときにシリアルバスでは何の処理も行われません。また、割り込みの生成とステータスの更新もありません。コントローラはトランザクションの処理は実行せず、単に CONTROL.STA ビットをリセットするだけです。

トランザクション長が「0」の場合、読出しトランザクションはスキップされ、書込みトランザクションがスレーブアドレスおよび書込みビット（SLA+W）をデータバイトなしでシリアルバスに送信します。

7.5.1.7 DATA — I²C バスデータレジスタ

DATA は 8 ビット読出し / 書込み、自動増分レジスタで、チャネルバッファへのインターフェースポートです。バッファへのアクセス時、ホストは伝送するシリアルデータのバイトの書込みまたはこの場所で受信したバイトの読出しを行います。ホストは DATA からの読出しはいつでも実行できますが、この 8 ビットレジスタへの書込みはチャネルがアイドル状態のときにのみ実行できます。

注意：シリアルインターフェースがアクティブのときにデータを読出すと、古いデータまたは誤りのあるデータが返されます。

All information provided in this document is subject to legal disclaimers.
© NXP B.V. 2012. All rights reserved.

ホストは、チャネルに割り当てられているメモリの容量までの読出しと書込みを行えます。データのアクセス場所は TRANSEL および TRANOFS レジスタに格納されます（どちらもデフォルトは「00h」）。

DATA レジスタへの読出しまたは書込みアクセスの後に TRANSEL および TRANOFS レジスタのコンテンツがポイントするデータの場所へ戻るには、コントロールレジスタ内の AIPTRRST（自動増分ポイントリセット）ビットを設定します。

バッファ内の DATA レジスタの場所へ戻るには、TRANSEL を「00h」に設定します。

表 15. DATA — データレジスタビットの説明
アドレス：チャネル 0=C5h; チャネル 1=D5h; チャネル 2=E5h

ビット	シンボル	説明
7:0	D[7:0]	伝送する 8 ビットまたは受信したばかりの 8 ビット。DATA の logic1 は I²C バスの HIGH レベルに対応しています。logic0 はバスの LOW レベルに対応しています。

7.5.1.8 TRANSEL — トランザクションデータバッファ選択レジスタ

TRANSEL レジスタは、DATA バッファ内の指定のトランザクションへのポインタの選択に使用されます。これによってユーザーはデータバッファ全体をあらためて書き込んだり格納されているシリアルデータを読出しトランザクションから読み取る必要なしに、指定のスレーブのデータを更新できます。このレジスタの値は、SLATABLE レジスタ内のスレーブアドレスの位置です。TRANSEL レジスタはゼロベース（N - 1）レジスタです。

たとえば 22 番目のスレーブアドレスデータの変更が必要な場合、ホストは TRANSEL レジスタを「15h」に設定します。このレジスタを TRANSOFS レジスタとともに使用することで、データバッファ内の指定のバイトにアクセスできます。これによってホストは新しいデータを DATA レジスタに書き込みます。自動増分機能は、DATA レジスタ内のこの新しい場所から処理を継続します。

TRANSEL を初期化されていない TRANCONFIG エントリに設定すると、データバッファ外のデータの読出し / 書込みのリクエストが生成される場合があります。このような場合、CTRLSTATUS レジスタの BE ビットが logic1 に設定されます。書込みデータは無視され、読出しデータは無効となります。

TRANSEL レジスタのプログラミングによって新しいトランザクションが選択されると、TRANSOFS レジスタは自動的に「00h」にリセットされます。

注意：データバッファを更新する場合、更新するバイト数または読み取るバイト数が TRANCONFIG レジスタで指定されているバイト数を超えると、自動増分はトランザクションの境界を越えてバッファに格納されている次のトランザクションに入ります。

注意：DATA ポインタをリセットする場合は、TRANSEL レジスタに「00h」と書き込みます。

表 16. TRANSEL — トランザクションデータバッファ選択レジスタビットの説明
アドレス：チャネル 0=C6h; チャネル 1=D6h; チャネル 2=E6h

ビット	シンボル	説明
7	-	Reserved.
6	-	Reserved.
5:0	TRANSEL[5:0]	SLATABLE 内のスレーブアドレスの場所。最大値は「3Fh」。

All information provided in this document is subject to legal disclaimers.
© NXP B.V. 2012. All rights reserved.

7.5.1.9 トランザクションデータバッファバイト選択レジスタ

TRANSEL レジスタとともに TRANOFS レジスタを使用することで、データバッファ内のトランザクションの指定のバイトへのポインタを選択できます。これによってユーザーはデータバッファ全体の読出し / 再書込みをすることなく、指定のスレーブの指定のデータバイトを読出しまたは再書込みできます。TRANOFS レジスタはゼロベース（N - 1）なので、このレジスタがポイントする最大バイトは 256 です。

たとえば 40 番目のスレーブアドレスデータの 10 番目のバイトが必要な場合、ホストは TRANSEL レジスタを「27h」に、TRANSOFS レジスタを「09h」に設定し、ホストは DATA レジスタの読出しを継続します。

TRANOFS をデータバッファ外のバイトオフセットに設定すると、CTRLSTATUS レジスタの BE ビットが logic1 に設定されます。書込みデータは無視され、読出しデータは無効となります。

注意：更新または読み取るバイト数は、TRANCONFIG レジスタに指定されているバイト数を超えないようにしなければなりません。このバイト数を超えた場合、自動増分はトランザクションの境界を越えてバッファに格納されている次のトランザクションに入ります。

表 17. TRANOFS — トランザクションデータバッファバイト選択レジスタビットの説明
アドレス：チャネル 0=C7h; チャネル 1=D7h; チャネル 2=E7h

ビット	シンボル	説明
7:0	TRANOFS[7:0]	TRANSEL の指定のトランザクションバッファのバイトインデックス。

7.5.1.10 BYTECOUNT — 伝送済および受信済バイトカウントレジスタ

BYTECOUNT レジスタは送信または受信したバイト数を格納します。このカウントは継続的に更新され、BYTECOUNT は伝送および受信したバイトをリアルタイムにレポートします。このレジスタは読出し専用です。BYTECOUNT には、WEMSK または REMSK が有効なトランザクションおよび一部または全部がスキップされたトランザクションを含め、書込みトランザクションで確認済（ACK）のバイトのみと読出しトランザクションで受信したすべてのバイトが含まれます（図 9 を参照）。BYTECOUNT レジスタは、すべてのシーケンスの START でクリアされます。

表 18. BYTECOUNT, バイト 0 — トランザクションコンフィギュレーションレジスタビットの説明
アドレス：チャネル 0=C8h; チャネル 1=D8h; チャネル 2=E8h

ビット	シンボル	説明
7:0	BYTECOUNT[7:0]	シーケンス内のトランザクションごとに送信 / 受信したバイト数。最大値は「FFh」。

7.5.1.11 FRAMECNT — フレームカウントレジスタ

表 19. FRAMECNT — フレームカウントレジスタビットの説明
アドレス：チャネル 0=C9h; チャネル 1=D9h; チャネル 2=E9h

ビット	シンボル	説明
7:0	FRAMECNT[7:0]	ビット 7 からビット 0 は、バッファされたコマンドを再送する回数を示します。デフォルトは「01h」。

このレジスタは読出し / 書込みレジスタです。このレジスタのコンテンツにはホストによってプログラムされた値が含まれ、シリアルバスを通じて送信されたフレームのリアルタイムのカウントではありません。

FRAMECNT が「00h」の場合、バッファに格納されているシーケンスは継続的にループします。各シーケンスの最後には STOP が送信されます。

All information provided in this document is subject to legal disclaimers.
© NXP B.V. 2012. All rights reserved.

FRAMECNT が「01h」の場合はデフォルト状態で、バッファに格納されているシーケンスが 1 回送信され、シーケンスの最後に STOP が送信されます。

FRAMECNT の値が「01h」より大きい場合、バッファに格納されているシーケンスは FRAMECNT の回数ループし、各シーケンスの最後に STOP が送信されます。

注意: FRAMECNT はバッファに格納されているシーケンスのループを実行する場合にのみ設定することもできます。

7.5.1.12 REFRATE — リフレッシュ・レートレジスタ

REFRATE レジスタは、REFRATE ループが有効なときに（FRAMECNT ≠ 1 で TE = 0）、各シーケンスの開始の間の時間間隔を定義します。

REFRATE で定義する更新間隔は、必ず I²C バスでシーケンスの伝送に要する時間よりも長くしなければなりません。REFRATE 値が小さすぎるとフレームエラー（FE）ビットが設定され割り込みがリクエストされます。

表 20. REFRATE ー リフレッシュ・レートレジスタビットの説明
アドレス：チャネル 0=CAh; チャネル 1=DAh; チャネル 2=EAh

ビット	シンボル	説明
7:0	REFRATE[7:0]	ビット 7 からビット 0 は、シーケンス更新間隔を示します。解像度は「100 µs」です。デフォルト値は「00h」でタイマーは無効化され、FRAMECNT が = 0 がまたは FRAMECNT が > 1 のとき、シーケンスは送信して戻されます。

注意：FRAMECNT が「1」の場合、リフレッシュ・レート機能は無効化されます。

7.5.1.13 SCLL、SCLH ー クロックレートレジスタ

表 21. SCLL ー クロックレート LOW レジスタビットの説明（Standard-mode、Fast-mode、Fast-mode Plus）
アドレス：チャネル 0=CBh

ビット	シンボル	説明
7:0	L[7:0]	SCL の LOW 状態を定義する 8 ビット。デフォルト：94 (5Eh)

表 22. SCLH ー クロックレート HIGH レジスタビットの説明（Standard-mode、Fast-mode、Fast-mode Plus）
アドレス：チャネル 0=CCh

ビット	シンボル	説明
7:0	H[7:0]	SCL の HIGH 状態を定義する 8 ビット。デフォルト：63 (3Fh)

Standard-mode、Fast-mode、Fast-mode Plus（Fm+）のクロックレートレジスタは SCLL レジスタと SCLH レジスタでコントロールし、PCA9663 のシリアルバスのデータ伝送レートを定義します。シリアルバスの実際の周波数は t_{HIGH} (SCL が HIGH の時間)、t_{LOW} (SCL が LOW の時間)、t_r (立上り時間)、t_f (立下り時間) の値によって決まります。不法な値が SCLL と SCLH レジスタに書き込まれると一部はそれぞれ最大チャネル周波数で動作します。

Standard、Fast、Fast-mode Plus の各モードについて、t_{HIGH} および t_{LOW} は SCLH レジスタと SCLL レジスタにプログラムされている値および PLL クロック周波数に基づいて計算されます。

どの I²C バスモードが指定されているのかを認識するため、MODE レジスタのプログラムは SCLL レジスタと SCLH レジスタのプログラム前に実行する必要があります。詳細は注意：章 「バスコントローラは指定されたモードに対して適切な t_r と t_f を内部で選択するので、求める周波数に基づいて正しい MODE 設定をプログラムする必要があります。I²C バスの最小周波数は 50 kHz です。」を参照してください。

 © NXP B.V. 2012. All rights reserved.

パワーアップ時またはリセット後にデフォルトで選択されるモードは Fast-mode Plus (Fm+) です。

クロックは、156MHz（13x OSC クロック）に設定されている内部 PLL 周波数に基づきます。内部クロックの精度を 1% とした場合、最悪の T_{PLL} は次のとおりです。

$$\frac{1}{12.12\ MHz \times 13} = \frac{1}{157.56\ MHz} = 6.347\ ns\ .$$

Standard、Fast、Fast-mode Plus のクロック設定の計算。

$$TOTAL_SCLLH = \frac{1}{T_{PLL} \times freq} \S\ scale\ factor \quad (1)$$

スケールファクタは MODE レジスタによって設定され、TOTAL_SCLLH の計算で使用されます。スケールファクタは Standard-mode では「8」、Fast-mode では「4」、Fast-mode Plus では「1」です。

SCLL と SCLH は次の計算で求められます。

$$SCLL = 0.6 \times TOTAL_SCLLH \quad (2)$$

$$SCLH = 0.4 \times TOTAL_SCLLH \quad (3)$$

注意：必要な周波数に一致させるため、立上り時間（t_r）および立下り時間（t_f）は、ハードウェアによって内部的に調整されます。指定に違反する無効な値が SCLL または SCLH に書き込まれた場合、コントローラはバス周波数を許容可能な SCLL および SCLH 最小値に調整します。

SCL 周波数の結果 ー 例

表 23. SCL 周波数

I²C-bus	周波数	LOW	HIGH	スケールファクタ
Standard	100 kHz	118	79	8
Fast	400 kHz	59	39	4
Fast-mode Plus	1000 kHz	94	63	1

表 24. 標準的な SCL 周波数

下記データの条件は次のとおりです：
プルアップ抵抗 R_{PU} = 500 Ω、バス静電容量 C_b = ~170 pF

希望周波数 (kHz)	実際の周波数 (kHz)	SCLL	SCLH
Standard-mode (Sm)			
100	99.3	116	79
90	90.0	129	87
80	80.0	145	98
70	69.5	168	112
60	59.7	194	132
50	50.5	233	156
Fast-mode (Fm)			
400	396.4	58	39
350	348.7	66	45
300	296.2	78	52
250	250.2	93	62
200	196.0	117	79

All information provided in this document is subject to legal disclaimers.

© NXP B.V. 2012. All rights reserved.

表 24.　標準的な SCL 周波数 */続き*

下記データの条件は次のとおりです:
プルアップ抵抗 R_{PU} = 500 Ω、バス静電容量 C_b = ~170 pF

希望周波数 (kHz)	実際の周波数 (kHz)	SCLL	SCLH
150	150.1	155	104
100	100.0	233	156
Fast-mode Plus (Fm+)			
1000	999.0	90	63
900	900.0	100	70
800	798.3	113	79
700	698.5	130	90
600	599.9	152	105
500	499.5	183	126
400	399.7	229	158

注意： バスコントローラは指定されたモードに対して適切な t_r と t_f を内部で選択するので、求める周波数に基づいて正しい MODE 設定をプログラムする必要があります。I²C バスの最小周波数は 50 kHz です。

注意：実際の SCL 周波数は PLL 周波数とバスロードによって左右されます。コントローラは SCL ラインの立上り時間を監視し、I²C バスに指定されている HIGH および LOW の最小のクロックタイミングへ違反しないように可能な限り出力周波数をプログラムされている値へ近づけるように、SCL のタイミングを調整します。

All information provided in this document is subject to legal disclaimers.

© NXP B.V. 2012. All rights reserved.

7.5.1.14 MODE — I²C バスモードレジスタ

MODE は読出し / 書込みレジスタです。バスの復旧オプションを選択するコントロールビットおよび正しいタイミングパラメータが含まれます。AC[1:0] に関連するタイミングパラメータには t_{BUF}, $t_{HD;STA}$, $t_{SU;STA}$, $t_{SU;STO}$, t_{HIGH}, t_{LOW} が含まれます。自動復旧ビットおよびバス復旧ビットはこのレジスタに含まれます。バスコントロールシーケンスは、8.5.1 章 「SDA（DAE）の LOW レベルによる I²C バスの障害」にあるバス復旧シーケンスをコントロールします。

表 25. MODE — I²C バスモードレジスタビットの説明

アドレス：チャネル 0 = CDh; チャネル 1 = DDh; チャネル 2 = EDh

ビット	シンボル	説明
7	CHEN	チャネル有効化ビット。R/W。 0：チャネルは無効、SCL および SDA はハイインピダンス。すべてのレジスタにアクセスしセットアップおよびコンフィギュレーションを実行できますが、CHEN ビットが「0」の場合、シーケンスは開始できません（STA は設定できません）。 1（デフォルト）：チャネルは有効です。
6	-	Reserved.
5	BR	バス復旧。BR が「1」のとき、バスコントローラは 9 クロックパルスをバスに送信することでバス復旧を試行します。バス復旧が完了すると、コントローラはビットを「0」にリセットします。このビットは、バスで無作為または非同期的な 9 クロックパルスを生成することは意図していません。この機能は AR ビットが「1」のときに自動的に実行されます。
4	AR	自動復旧。 AR = 1（デフォルト）の場合、バスコントローラは 8.5.1 章 「SDA（DAE）の LOW レベルによる I²C バスの障害」の説明にあるとおりバスの復旧を自動的に試行します。 AR = 0 の場合、バスコントローラは現行のトランザクションを中止し、CHSTATUS レジスタの DAE ビットを設定することでエラーコードを生成し、$\overline{INT}$ ピンを LOW にします。
3:2	-	Reserved.
1:0	AC[1:0]	適切なタイミングパラメータを確保するための I²C バスモード選択（表 26 および表 37 を参照）。 AC[1:0] = 00：Standard-mode AC パラメータが選択されています。 AC[1:0] = 01：Fast-mode AC パラメータが選択されています。 AC[1:0] = 10(デフォルト)：Fast-mode Plus AC パラメータが選択されています。 AC[1:0] = 11: Reserved

注意： CHEN ビット値は、I²C バスがアイドル状態の場合にのみ変更しなければなりません。

注意: I²C バスモードを遅いモードに変更すると(たとえば Fast-mode から Standard-mode)、SCL の HIGH および LOW のタイミング違反となります。このため、SCLL レジスタと SCLH レジスタの値を選択したモードに合わせて設定しなければなりません。

All information provided in this document is subject to legal disclaimers.

© NXP B.V. 2012. All rights reserved.

表 26. I²C バスモード選択 — 例 [1]

SCLL（10 進）	SCLH（10 進）	I²C バス周波数（kHz）[2]	スケールファクタ	AC[1:0]	モード
118	79	100	8	00	Standard
59	39	400	4	01	Fast
94	63	1000	1	10	Fast-mode Plus
-	-	-	-	11	reserved

[1] テーブル内の SCLL 値および SCLH 値は、対応する I²C バスモードで使用できる最小値も表しています。小さい方の値を使用すると最小値がロードされます。

[2] 計算式：$f_{SCL} = \frac{1}{T_{PLL}[(SCLL + SCLH) \times sf] + t_r + t_f}$

7.5.1.15 TIMEOUT — タイムアウトレジスタ

TIMEOUT は 8 ビット読出し / 書込みレジスタで、SCL が LOW 論理状態でいられる最長時間を指定します。この時間を過ぎると CLE 割り込みが生成されます。

I²C バスインターフェースの動作中、TIMEOUT はすべての LOW SCL トランザクションでタイムアウトカウンタにロードされます。

表 27. TIMEOUT — タイムアウトレジスタビットの説明

アドレス：チャネル 0 = CEh

ビット	シンボル	説明
7	TE	タイムアウト有効化 / 無効化 TE = 1：タイムアウト機能有効 TE = 0：タイムアウト機能無効
6:0	TO[6:0]	タイムアウト値。タイムアウト期間 = (TIMEOUT[6:0] + 1) × 200 μs タイムアウト値は若干の変動がある概算値です。

タイムアウトレジスタは、次のような場合に使用できます。

- バスコントローラが START 条件を送信するときに、SCL ラインが他のデバイスによって LOW 状態のままとます。SCL がリリースされない場合、バスコントローラはバスエラーであると判断し、CHSTATUS レジスタの CLE ビットを設定し、割り込みシグナルを生成して SCL および SDA ラインをリリースします。
- タイムアウト機能は SCL が LOW になるたびに開始します。SCL が LOW の時間がタイムアウト値以上となった場合、バスコントローラはバスエラーであると判断し、上記の処理を実行します。I²C バスインターフェースの動作中、TIMEOUT はすべての SCL 移行でタイムアウトカウンタにロードされます。詳細は 8.7 章「グローバルリセット」を参照してください。

All information provided in this document is subject to legal disclaimers.

© NXP B.V. 2012. All rights reserved.

7.5.1.16 PRESET — I²C バスチャネル パラレルソフトウェア リセットレジスタ

表 28. PRESET — I²C バスチャネル パラレルソフトウェア リセットレジスタビットの説明
アドレス：チャネル 0 = CFh; チャネル 1 = DFh; チャネル 2 = EFh

ビット	シンボル	説明
7:0	PRESET[7:0]	I²C バスチャネルパラレルリセットコマンドで使用される書込み専用レジスタ。

PRESET は 8 ビット書込み専用レジスタで、このレジスタを設定することでユーザーはソフトウェアのコントロール下にある個々の PCA9663 チャネルをリセットできます。ソフトウェアリセットは、このレジスタへ 2 つの連続するバイトを書き込むことで実行します。最初のバイトは「A5h」、2 番目のバイトは「5Ah」であることが必要です。また書込みは連続しているとともに、値が「A5h」と「5Ah」に一致しなければなりません。このシーケンスに準拠していない場合、リセットは中止されます。

PRESET はステートマシン、レジスタ、バッファポインタをデフォルト値にリセットし、対応する TRANCONFIG、SLATABLE、BYTECOUNT、DATA 配列の各チャネルをゼロにリセットしますが、チップ全体はリセットしません。ソフトウェアリセットがアクティブの間、パラレルバスもアクティブのままになります。ユーザーは PRESET レジスタを読出すことでいつリセットが完了したのかを確認できます。リセットがアクティブの場合 PRESET はすべて「1」を返し、完了するとすべて「0」を返します。

7.5.2 グローバルレジスタ

7.5.2.1 CTRLSTATUS — コントローラステータスレジスタ

CTRLSTATUS レジスタは、パラレルバスが生成した割り込みを含め、コントローラのステータスをレポートします。ステータスビットは 6 あります。CTRLSTATUS が「00h」の場合はアイドル状態を示すので、シリアル割り込みはリクエストされません。コントローラの動作中、このレジスタのコンテンツは継続的に更新されます。

下位 3 ビットは割り込みリクエストが保留中のチャネルを表します。個々のチャネル割り込みリクエストをクリアするには、CHSTATUS レジスタを読出す必要があります。ビット [5:3] は、チャネルが現在アクティブかどうか、またはアイドル状態であるかどうかを示します。

表 29. CTRLSTATUS — 割り込みステータスレジスタビットの説明
アドレス：F0h

ビット	シンボル	説明
7	BE	バッファエラー。オーバーフローなどのバッファエラーが検出されました。
6	-	
5	CH2ACT	チャネル 2 がアクティブ。
4	CH1ACT	チャネル 1 がアクティブ。
3	CH0ACT	チャネル 0 がアクティブ。
2	CH2INTP	チャネル 2 割り込み保留中。
1	CH1INTP	チャネル 1 割り込み保留中。
0	CH0INTP	チャネル 0 割り込み保留中。

注意：グローバルリセットはすべてのチャネルおよびコンフィギュレーション設定をリセットします。

BE — バッファエラービット：このビットは、バッファエラーが検出されたことを示します。たとえばホストプログラミングのバイトが多過ぎてバッファがオーバーフローした場合にこのビットが設定されます。バッファエラーから復旧するにはソフトウェアまたはハードウェアのリセットが必要です。

All information provided in this document is subject to legal disclaimers.

© NXP B.V. 2012. All rights reserved.

バッファエラーは、TRANCONFIG レジスタによってまだ設定されていないデータの場所の読出しや書込みが行われたときに発生する場合があります。またパラレルデータの書込みまたは読出しがバッファ容量を超えた場合や、TRANSEL ポインタと TRANOFS ポインタの設定がバッファ境界を越えている場合に発生することもあります。

DATA レジスタがバッファ容量を超えるデータと共にロードされた場合、バッファサイズを超えるバイトは無視され、バッファエラー（BE）が生成されます。

特別なケース：BE 割り込みは、CTRLSTATUS レジスタを読出すことでクリアされます。他のすべての割り込みは、それぞれの CHSTATUS レジスタを読出すことでクリアされます。

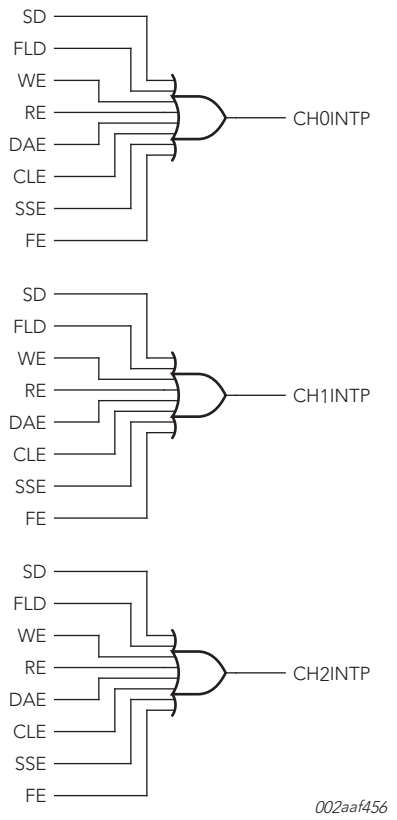


図 4.　PCA9663 ステータスレポーティングロジック

All information provided in this document is subject to legal disclaimers.

© NXP B.V. 2012. All rights reserved.

7.5.2.2 CTRLINTMSK — コントロール割り込みマスクレジスタ

CTRLINTMSK はマスクチャネルが生成したすべての割り込みをマスキングします。これによってホスト MCU は、同じチャネルに割り込みされることなく、割り込みを実行する前に他の処理を実行することができます。

表 30. CTRLINTMSK ー コントロール割り込みマスクレジスタビットの説明

アドレス : F1h

ビット	シンボル	説明
7	BEMSK	バッファエラーマスク。バッファエラー割り込みは生成されません。 **注意**：このマスクを使用する場合は十分な注意が必要です。予期せぬエラーは、スレーブデバイスに起因する可能性があります。
6:3	-	reserved
2	CH2MSK	このビットを「1」に設定すると、チャネルに対するすべての割り込みはマスキングされ、$\overline{\text{INT}}$ ピンは LOW に設定されません。
1	CH1MSK	このビットを「1」に設定すると、チャネルに対するすべての割り込みはマスキングされ、$\overline{\text{INT}}$ ピンは LOW に設定されません。
0	CH0MSK	このビットを「1」に設定すると、チャネルに対するすべての割り込みはマスキングされ、$\overline{\text{INT}}$ ピンは LOW に設定されません。

All information provided in this document is subject to legal disclaimers.

© NXP B.V. 2012. All rights reserved.

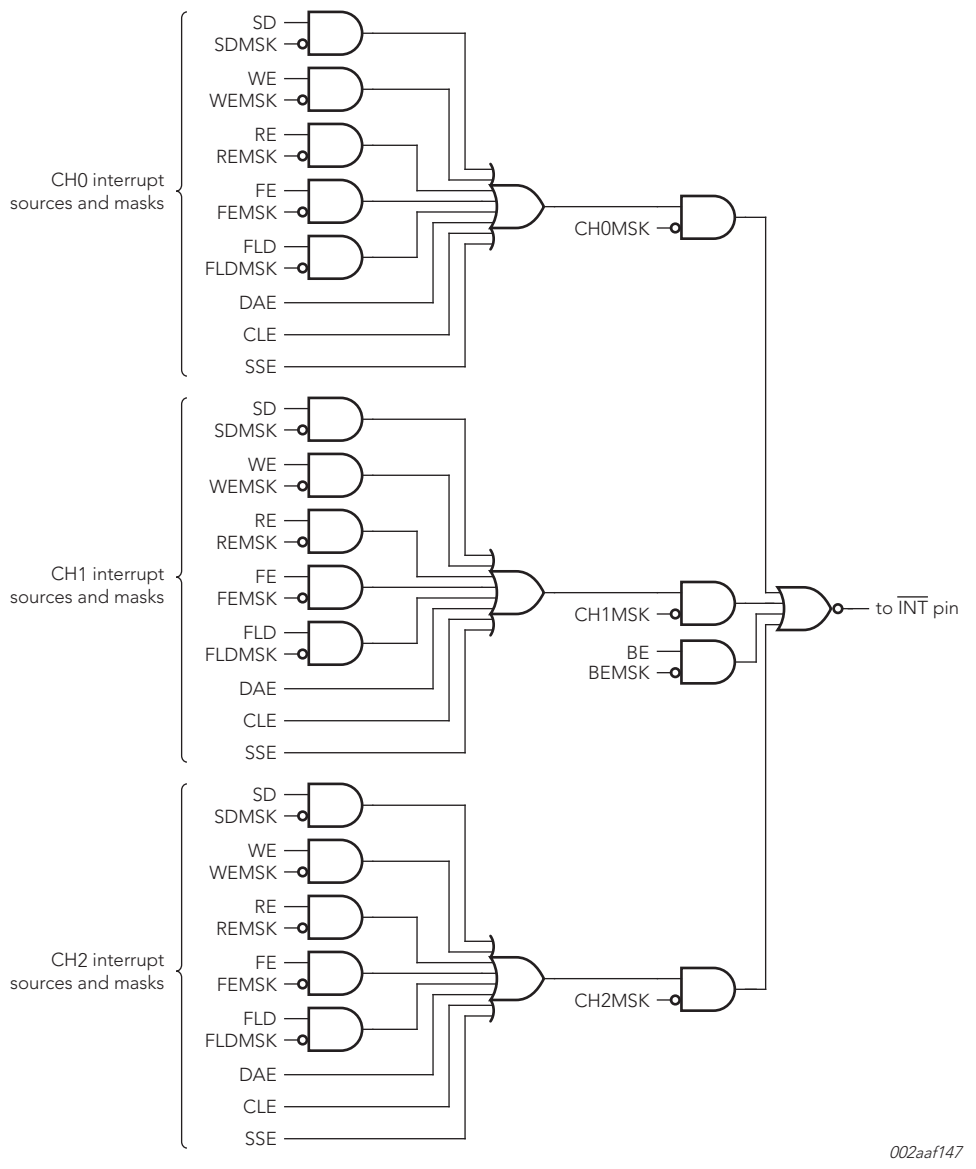


図 5. PCA9663 割り込みロジック

7.5.2.3 DEVICE_ID — デバイス ID

DEVICE_ID レジスタには、パラレルバスでバスコントローラを識別するバスコントローラのパート番号が格納されます。

表 31. DEVICE_ID — デバイス ID レジスタビットの説明

アドレス : F6h

ビット	シンボル	説明
7	U/A	PCU または PCA デバイスを選択。 1 = PCU96xx 0 = PCA96xx
6:0	BCD	ID の最後の 2 桁の BCD（2 進化 10 進法）コード。範囲は 00h から 79h。PCA9663 のコードは「63h」です。

All information provided in this document is subject to legal disclaimers.

© NXP B.V. 2012. All rights reserved.

7.5.2.4 CTRLPRESET — パラレルソフトウェアリセットレジスタ

表 32. CTRLPRESET — パラレルソフトウェアリセットレジスタビットの説明
アドレス : F7h

ビット	シンボル	説明
7:0	CTRLPRESET[7:0]	デバイスパラレルリセットコマンド中に使用される書込み専用レジスタ。

CTRLPRESET は 8 ビット書込み専用レジスタで、このレジスタを設定することでユーザーはソフトウェアのコントロール下にある PCA9663 をリセットできます。ソフトウェアリセットは、このレジスタへ 2 つの連続するバイトを書き込むことで実行します。最初のバイトは「A5h」、2 番目のバイトは「5Ah」であることが必要です。また書込みは連続しているとともに、値が「A5h」と「5Ah」に一致しなければなりません。このシーケンスに準拠していない場合、リセットは中止されます。

7.5.2.5 CTRLRDY — コントローラ準備レジスタ

表 33. CTRLPRESET — コントローラ準備レジスタビットの説明
アドレス : FFh

ビット	シンボル	説明
7:0	CTRLRDY[7:0]	読出し専用レジスタで、コントローラの内部状態を示します。「FFh」はコントローラが初期化中であることを示し、「00h」は通常動作モードを示します。

CTRLRDY（アドレス FFh）は 8 ビット読出し専用レジスタで、コントローラの内部状態を示します。「FFh」はコントローラが初期化中であることを示します。パワーアップ時、ハードウェアのリセット後、またはグローバルソフトウェアリセット後に初期化状態になります。

オシレータおよび PLL は、パワーオンリセット（POR）、ハードウェアリセット、またはグローバルソフトウェアリセット（CTRLPRESET）の後にのみ初期化されます。

「00h」はコントローラが通常動作モードであることを示します。

コントローラ初期化中のアクセスには、読み返されるコントローラの状態を更新する RD ピンの移行に CE ピンがしたがう必要があります。コントローラの準備が整った後、**CE** ピンは **RD** ピンと **WR** ピンの移行中も LOW に保持しておくことが可能です。図 6、図 7、図 8 を参照してください。

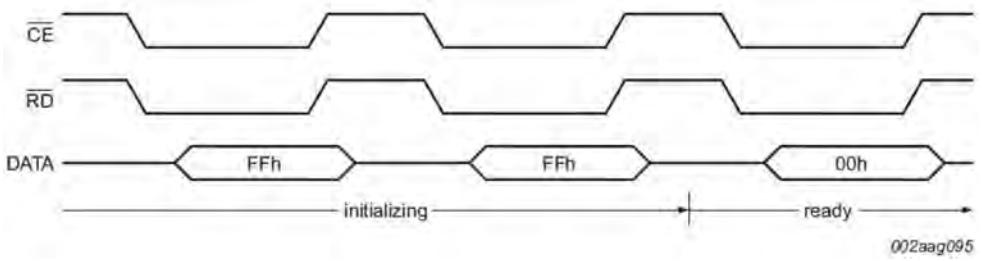


図 6. 初期化中。CE は各読出し処理時に RD に移行することが必要

All information provided in this document is subject to legal disclaimers.

© NXP B.V. 2012. All rights reserved.

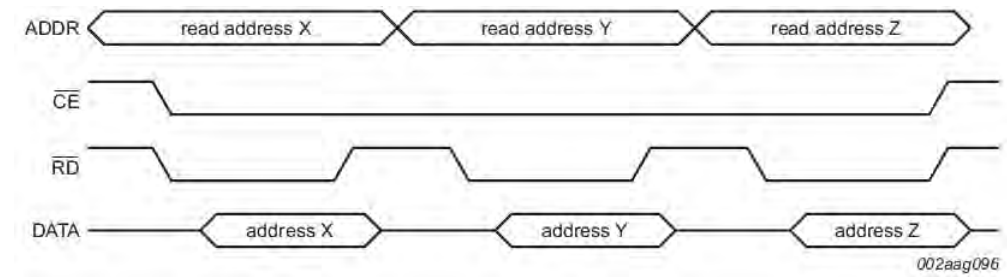


図 7. 通常処理。$\overline{CE}$ は、複数読出し時の $\overline{RD}$ 移行中も LOW に保持しておくことが可能

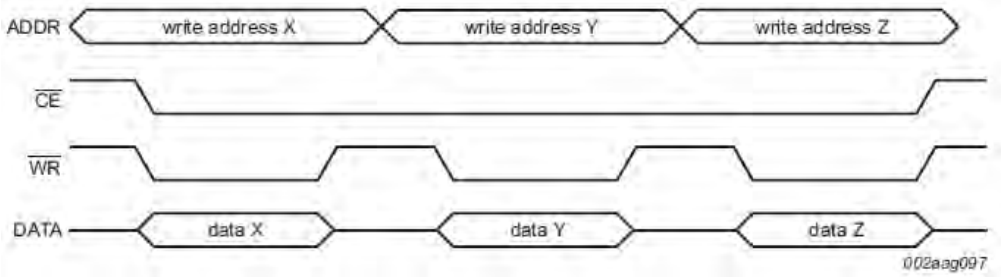


図 8. 通常処理。$\overline{CE}$ は、複数書込み時の $\overline{WR}$ 移行中も LOW に保持しておくことが可能

All information provided in this document is subject to legal disclaimers.

© NXP B.V. 2012. All rights reserved.

8. PCA9663 の動作

PCA9663 は、単一のマスタバスで大量のデータを効率的に送受信できるように設計されています。この I²C バスコントローラのアーキテクチャは 3 つの主要コンポーネントで構成されています。これらのコンポーネントがお互いに連携することで、トランザクションの実行時にハイスループットを提供するとともにハイレベルな自動化を実現します。

- スレーブアドレステーブル：バス上のスレーブのアドレスおよび方向（読出しまたは書込み）を指定します。
- トランザクションコンフィギュレーション：トランザクションのサイズを指定します。
- データバッファ：このスレーブが送信するデータまたは受信したデータを格納します。

これらの 3 コンポーネントが PCA9663 で統合されてシーケンスを形成します。シーケンスとは一連の読出しまたは書込みトランザクションで、シーケンスの最小サイズは読出しトランザクション 1 つか書込みトランザクション 1 つです。1 つのシーケンスには複数のトランザクションを含めることが可能で、ループコントロールおよび内蔵のリフレッシュ・レートタイマーを使うことで、ホストコントローラ（CPU）の干渉を受けることなく実行できます。

PCA9663 は、バッファへロードされた順番でトランザクションを実行します。ホストの割り込みはありません。シーケンスの終端に達するとシーケンス完了（SD）ビットが CHSTATUS レジスタで確認され、SDMSK = 0 の場合コントローラは割り込みをリクエストします。この時点で、ホストはバッファに新しいシーケンスをロードするか、現在バッファにロードされているシーケンスを再送信できます。

シーケンスの進行中、トランザクション実行時にエラーが発生しない限り割り込みは生成されません。ホストは、シーケンスが完了した場合にのみ割り込みを受信します。PCA9663 は SLATABLE に指定されている方向ビットにしたがってマスタトランスミッタまたはマスタレシーバとしての役割を動的に切り替えます。読出しトランザクションが完了すると、ホストはコントローラがシーケンス内の残りのトランザクションを実行している間でも、格納されているシリアルデータを取得することができます。

8.1 シーケンス実行

シーケンスに含まれるトランザクションには 2 つのタイプがあります。

- 書込みトランザクション。PCA9663 はマスタトランスミッタとして機能します。
- 読出しトランザクション。PCA9663 はマスタレシーバとして機能します。

それぞれの方向（読出し / 書込み）のデータ伝送は図 9 を参照してください。図 6 で使用している略語の意味は次のとおりです。

S ー START 条件

SLA ー 7 ビットスレーブアドレス

R ー 読出しビット（SDA、HIGH レベル）

W ー 書込みビット（SDA、LOW レベル）

A ー ACK 確認ビット（SDA、LOW レベル））

$\overline{\mathbf{A}}$ ー NACK 非確認ビット（SDA、HIGH レベル）

Data ー 8 ビットデータタイプ

P ー STOP 条件

図 9 で、丸は CHSTATUS レジスタでビットが設定されていることを示します。CHSTATUS=00h のときチャネル割り込みはリクエストされず、割り込みがマスキングされている場合、$\overline{\text{INT}}$ ピンは考慮されません（7.5.2.2 章を参照）。

All information provided in this document is subject to legal disclaimers.

© NXP B.V. 2012. All rights reserved.

シーケンスを正常に実行するには、前述した 3 つすべてのコンポーネントがメモリ内に存在し、正しく設定されていることが必要です。トランザクションサイズ、データバッファ長、方向ビットが正しく設定されていない場合の対処法はありません。トランザクション長が「00h」に設定されている場合、方向ビットを有したスレーブアドレスのみが伝送されます。

ホストがシリアルポートの構成を設定し TRANCONFIG（スレーブ数およびスレーブごとのバイト）、SLATABLE（スレーブアドレス）、TRANSEL（トランザクションデータバッファ選択）、TRANOFS（バイトオフセット選択）のプログラミングを行い、DATA バッファにシリアルデータをロードすると、シーケンスの伝送準備が整います。

シーケンスを送信する場合、ホストが CONTROL レジスタの STA ビットを設定すると、コントローラはただちにシリアルバスで START を送信します。続いて、SLATABLE に出現する順番でトランザクションが実行されます。各トランザクションは ReSTART コマンドで区切られます。

割り込みがアンマスキングの場合、シリアル伝送のトランザクション間で割り込みは生成されません。すべてのトランザクションが正常に完了するとコントローラは STOP を生成し、CHSTATUS でシーケンス完了（SD）ビットが設定され、割り込みが生成されます。

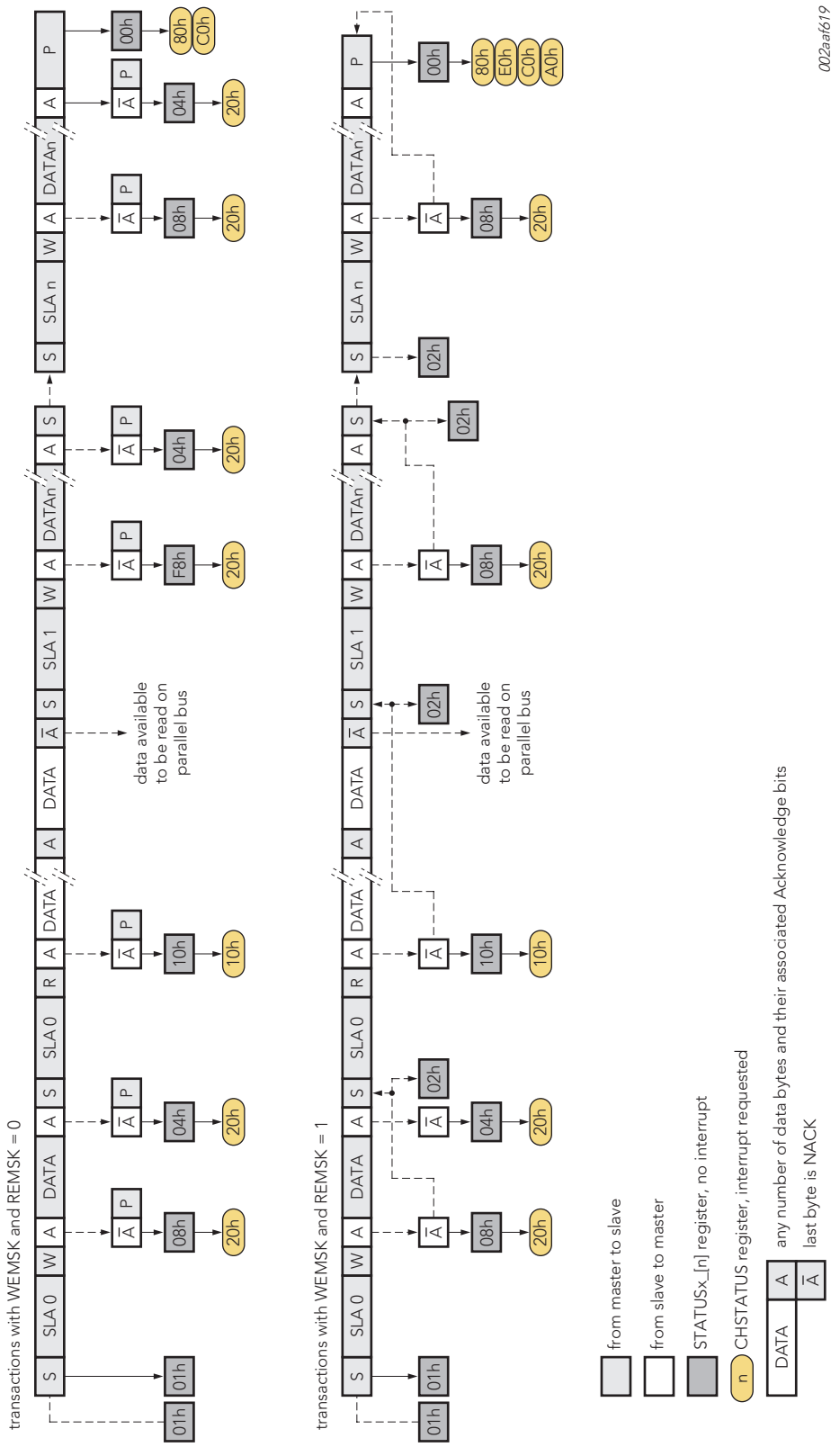
割り込みがアンマスキングの場合、スレーブアドレスまたはデータ（書込みサイクル）の NACK によってシリアル伝送が終了し、STOP が生成され、$\overline{\text{INT}}$ ピンが確認されます。ホストは CTRLSTATUS（コントローラステータスレジスタ）を読み取ってどのチャネルが割り込みを生成したのかを確認し、そのチャネルの CHSTATUS レジスタおよび STATUSx_[n] を読み取って、どのスレーブアドレスがエラーの原因となったのかを確認します。

割り込み WEMSK および REMSK が設定された場合、スレーブアドレスまたはデータ（書込みサイクル）の NACK はシリアル伝送を終了せず、エラーは STATUSx_[n] レジスタに格納され、シリアル伝送はシーケンス内の次のトランザクションに継続されます。すべてのトランザクションが完了するとコントローラは STOP を生成し、CHSTATUS でシーケンス完了（SD）ビットおよび他のエラービット（WE または RE）が設定され、割り込みが生成されます。

ホストが PCA9663 のポーリングを行う場合、SD ビットを含めてすべてのレジスタをマスキングし、CTRLSTATUS、CHSTATUS、STATUSx_[n] および（または）CONTROL レジスタを読み取り、コントローラの状態を確認します。

All information provided in this document is subject to legal disclaimers.

© NXP B.V. 2012. All rights reserved.



CHSTATUS コードの例：

80h：シーケンス完了、エラーなし

C0h：フレームループおよびシーケンス完了、エラーなし

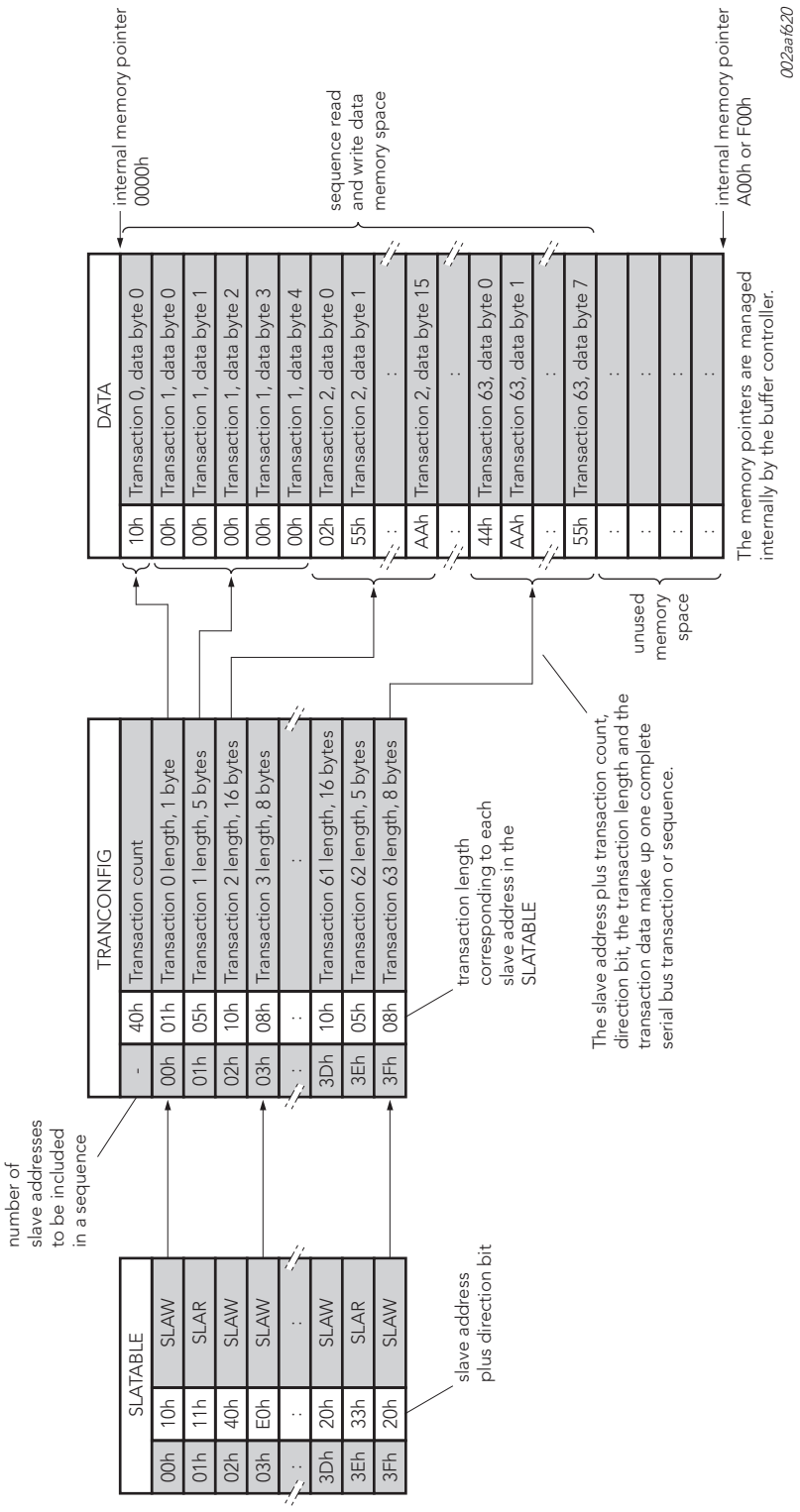
A0h：シーケンス完了、書込みエラーあり

D0h：フレームループおよびシーケンス完了、読出しエラーあり

図 9. PCA9663 I²C ステータスコード

All information provided in this document is subject to legal disclaimers.

© NXP B.V. 2012. All rights reserved.



ステータスおよびコンフィギュレーションレジスタは表示されていません。
色付きの部分はコメント / インデックスで、ユーザーはアクセスできません。

図 10. PCA9663 シーケンスブロック図 – サンプルシーケンスロード済み

All information provided in this document is subject to legal disclaimers.

© NXP B.V. 2012. All rights reserved.

8.2 読出しトランザクション

多くの I²C バススレーブデバイスは、読出し処理のセットアップのためのコマンドまたはレジスタオフセットが必要です。この場合、読出しトランザクションは実際には書込みトランザクションとこれに読出しトランザクションが続く複数の部分で構成されたトランザクションです。これは、シーケンスのプログラミング時にこの順序でトランザクションを設定することによって行えます。

読出しの前に書込みが必要ない場合、読出しトランザクションはシーケンス内のどこにでも置くことができます。読出しトランザクションが完了すると（TR ビットが 0 にクリア）データはすぐに利用可能になり、ホストはパラレルバスを通じて取得できます。

8.3 シーケンスの停止

ホストがシーケンスの実行を停止する場合、CONTROL レジスタの STO ビットを設定しなければなりません。書込みトランザクションでは、ホストはシリアルバスで現在伝送しているバイトの確認サイクルの後に STOP を発行します。読出しトランザクションでは、アドレス + 読出しビット（SLA+R）の送信中にホストが STO ビットを設定した場合、コントローラは 9 クロックおよび 9 番目のクロックで NACK を送信し、1 バイトの読出しを完了してから STOP 条件を送信します。読出しトランザクションの進行中にホストが STO ビットを設定すると、現行のバイトで NACK が発行され STOP 条件が送信されます。割り込みは生成されず、すべてのステータスレジスタは最新状態になります。STOP 条件が完了したことをホストに示すためシーケンス完了（SD）ビットが設定され、バスはアイドル状態になります。チャネルがループモードの場合（FRAMECNT ≠ 1）、シーケンス完了（Sequence Done）とフレームループ完了（Frame Loop Done）および STO または STOSEQ ビットが設定されます。

ホストがシーケンスの途中で STOP（STO を設定）を発行し、これに続けて START を発行した場合（STA を設定）、コントローラはシーケンスが最後に停止した場所からではなく、最初から再送信します。

8.4 シーケンスのループピング

シーケンスは、FRAMECNT および次のいずれかを使用して、自動的に複数回ループさせることができます。

- REFRATE レジスタ。このレジスタには、2 つのシーケンス間に必要なタイミングを指定するリフレッシュ・レートの値が含まれます。リフレッシュ・レートはバスコントローラの内部クロックに由来します。REFRATE を「00h」に設定すると、シーケンスはバック・ツー・バックでループします。
- トリガー有効化（TE: Trigger enable）ビット。TE が設定された場合、リフレッシュ・レートは外部トリガー入力によってコントロールされ、レジスタのコンテンツは無視されます。トリガー間隔の最大値の要件はありません。

FRAMECNT レジスタはシーケンスを繰り返す回数を設定します。フレームは、対応するリフレッシュ・レートが設定されたシーケンスとして定義されます。前述したように、フレームのリフレッシュ・レートは REFRATE レジスタか外部トリガーソースによってコントロールされます。

ループの間、ホストの干渉は必要なく、すべてのステータスおよびエラーレポートはアクティブなままです。フレームが完了するたびに割り込みが行われることを避けるため、SD（シーケンス完了）ビットはマスキングされます。他のエラーレポートビットはマスキングされない状態のままです。このようにして通常のトランザクションはホストの干渉なしに実行され、エラーが発生した場合はそのエラーが発生した現行バイトの STOP でレポートされます。

All information provided in this document is subject to legal disclaimers.
© NXP B.V. 2012. All rights reserved.

FRAMECNT の値に達すると CHSTATUS レジスタの FLD ビットが設定され、それ以上のトランザクションは実行されず、チャネルはアイドル状態になります。FLD 割り込みはCTRLINTMSKレジスタのFLDMSKビットによってマスキングされます。CTRLSTATUS ホストはレジスタにポーリングし、チャネルがアクティブか（ループしているか）またはアイドル状態かどうかをチェックできます。

無限または長時間のループについて、ホストは次のことを行えます。

1. FRAMECNT レジスタを「00h」に設定することで、シーケンスに無限ループを設定できます。各フレームは REFRATE 設定の後、または TE ビットが設定されている場合はトリガー入力の後に送信されます。ループモードを終了する場合、ホストは CONTROL レジスタの STO ビットまたは STOSEQ ビットを設定します。
2. フレームは継続的に、FRAMECNT と REFRATE が「00h」に設定されている場合はバック・ツー・バックで、送信されます。ループモードを終了する場合、ホストは CONTROL レジスタの STO ビットまたは STOSEQ ビットを設定します。

8.4.1 REFRATE コントロールでのループピング

REFRATE レジスタを使用している場合（TE ビットは 0）、リフレッシュ・レートのタイミングは内部的にコントロールされます。STA ビットが設定されるとただちに START コマンドがシリアルバスで送信され、続けてシーケンスが送信されます。その後コントローラは START コマンドを発行し、続けて REFRATE 値に達するたびに格納されているシーケンスを発行します。シーケンス全体がシーケンス完了（Sequence Done）状態となるように、REFRATE には十分な時間を設定することが重要です。リフレッシュ・レートが小さすぎるとフレームエラー（FE）ビットが設定され割り込みが生成されます。FE ビットはマスキングできますが、マスキングすることによりシリアルインターフェースで好ましくない結果が生じる恐れがあります。FE ビットをマスキングするとループモードの処理は継続され、FE フラグは設定されたままとなります。ループモードを終了するには、STO または STOSEQ ビットを設定します。

8.4.2 Trigger コントロールでのループピング

PCA9663 にはトリガー入力が 1 つあります。CONTROL レジスタのトリガー有効化（TE）ビットは、外部トリガーの利用をコントロールするために使います。トリガー入力が有効なとき、トリガーは REFRATE レジスタのコンテンツを上書きし、STA ビットの設定時にトリガーを開始します。このため、STA ビットの設定とトリガーの検出の間に大きな遅延が発生する場合があります。トリガーエッジを検出するとコントローラは START コマンドを発行し、格納されているシーケンスがシリアルバスで伝送されます。トリガーはフレームのタイミングをコントロールするので、シーケンスがシーケンス完了（Sequence Done）状態となるようにトリガーには十分な時間が必要です。

シーケンスがバスを通じてアクティブに伝送されている間にトリガーエッジが検出された場合はフレームエラー（FE）ビットが設定され、割り込みが生成されます。FE ビットはマスキングできますが、マスキングすることによりシリアルインターフェースで好ましくない結果が生じる恐れがあります。FE ビットをマスキングするとループモードの処理は継続され、FE フラグは設定されたままとなります。トリガーエッジ検出の極性は、CONTROL レジスタの TP ビットでコントロールします。トリガーモードを終了するには、STO または STOSEQ ビットを設定します。

All information provided in this document is subject to legal disclaimers.
© NXP B.V. 2012. All rights reserved.

8.5 バスエラー

適切にデザインされている I²C バスシステムであれば、バスエラーはほとんど発生しません。PCA9663 には堅牢なエラー検出メカニズムが実装されていて、たとえば SDA や SCL が外部ソースによって LOW にされた場合や、不正 START や STOP 条件がバスに出現した場合など、ハングアップ状態を検出します。

8.5.1 SDA（DAE）の LOW レベルによる I²C バスの障害

コントロールされていないソース（たとえばビット同期化外のスレーブデバイス）によって SDA が LOW となった場合、I²C バスのハングアップが発生します。SDA ラインがバス上の他のデバイスによって利用できなくなった場合、SCL ラインに追加のクロックパルスを伝送することで解決できます（図 11 を参照）。SDA スタック障害検出は、START 条件または Repeated START 条件の間のみ有効です。

自動復旧ビットが設定されている場合（AR=1）、エラーが検出されると PCA9663 は 9 つのクロックパルス、続けて STOP 条件を送信します（図 11 を参照）。スレーブが SDA ラインをLOWにしてリリースするとPCA9663は通常のSTART条件を伝送し、STATUSx_[n] レジスタで TA ビットが設定され、シリアル伝送が継続されます。スリーブが SDA ラインを LOW にしてリリースしない場合、PCA9663 はバスエラーであると判断し、CHSTATUS レジスタの DAE ビットを設定し、割り込みシグナルを生成して SCL および SDA ラインをリリースします。

エラー検出時に自動復旧ビットがリセットされた場合（AR = 0）、PCA9663 はバスエラーをロードし（CHSTATUS レジスタの DAE ビットを設定）、割り込みシグナルを生成し、SCL および SDA ラインをリリースします。ステータスレジスタを読出すと、ホストはバス復旧ビットを「1」に設定することでバス復旧シーケンスを強制実行します（BR=1）。PCA9663 は SCL ラインで追加のクロックパルスを伝送し、ホストは STA ビットを設定して伝送を再開しなければなりません。

SDA が利用できないとき（LOW に設定）に Repeated START 条件が伝送された場合、PCA9663 は上記の処理を実行します。いずれの場合も START 条件が正常に実行された後に TA ビットが伝送され、通常のシリアル伝送が継続されます。自動復旧ビットが設定されている場合（AR=1）、バスのハングアップの問題解決にホストは関与しません。

AR ビットを設定するか BR を設定することでバス復旧シーケンスを強制実行してバスを復旧できない場合は、スレーブまたはシステムをリセットする必要があります。

注意：AR ビットが設定され SDA スタック LOW が検出された場合、自動復旧の後、シーケンス内で障害が発生した場所から通常どおり処理が継続されます。AR ビットが「0」でマニュアルによるバス復旧を実行した場合、トランザクションはシーケンスの最初から再開されます。

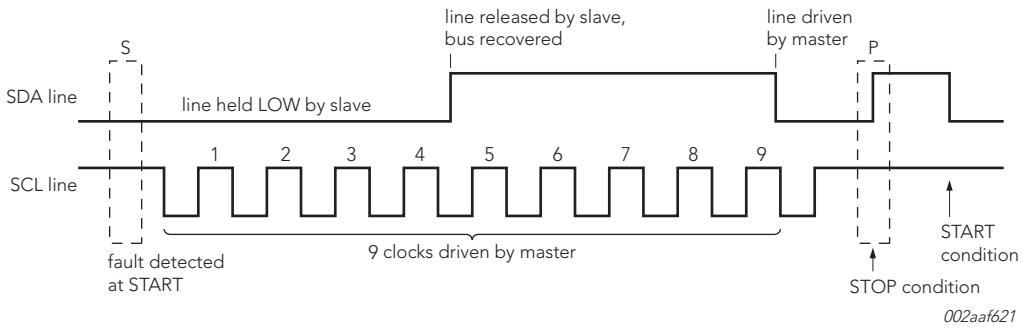


図 11. SDA の LOW レベル（AR = 1）を原因とするバス障害からの復旧

All information provided in this document is subject to legal disclaimers.

© NXP B.V. 2012. All rights reserved.

8.5.2 SCL（CLE）の LOW レベルによる I²C バスの障害

コントロールされていないソースによって SDA または SCL が LOW となった場合、I²C バスのハングアップが発生します。バス上のデバイスによって SCL ラインが使用できなくなった場合（LOW となった場合）、それ以上のシリアル伝送はできません。PCA9663 は、このタイプの問題を解決できません。この問題は、SCL バスラインを LOW にしているデバイスが解決しなければなりません。このタイプの問題の解決には、スレーブまたはシステムのリセットが必要となることもあります。

SCL ラインが LOW となっている時間がタイムアウト値に達すると、PCA9663 はこれをバスエラーと判断し、7.5.1.15 章 「TIMEOUT — タイムアウトレジスタ」の説明にしたがった処理が行われます。

バス復旧機能（BR ビットを設定）は SCL スタック LOW エラーには何の効果も持ちません。

8.5.3 不正 START または STOP（SSE）

デバイスの起動時に CTRLRDY レジスタを「00h」に設定すると、すぐに不正 START または STOP 検出機能がアクティブになります。SSE 条件は監視され、移行を開始したのがバスコントローラではない場合にこれが検出されます。

SSE は、不正な場所に START 条件または STOP 条件がある場合に発生します。不正な場所の例には、アドレスバイトやデータ、または確認ビットのシリアル伝送中があります。

SSE 状況が検出されると PCA9663 は SDA および SCL ラインをリリースし、割り込みフラグを設定し、チャネルステータスレジスタ（CHSTATUS）の SSE ビットを設定します。

8.6 パワーオンリセット

V_{DD} に電力が供給されると、内部のパワーオンリセット機能によって PCA9663 は V_{DD} が V_{POR} に達するまでリセット状態に置かれます。この時点で、リセット状態はリリースされ、PCA9663 はパワーアップ初期化フェーズに入り次の処理が実行されます。

1. オシレータおよび PLL の再初期化
2. 内部レジスタの初期化の実行
3. メモリスペースのゼロ化

完全なパワーアップ初期化フェーズの実行には $t_{rec(rst)}$ を要します。この間、パラレルポートを通じた PCA9663 への書込みは無視されます。ただしパラレルポートの読出しは可能です。このため、PCA9663 のパラレルポートに接続しているデバイスは CTRLRDY レジスタにポーリングできます。

8.7 グローバルリセット

PCA9663 をデフォルト状態に戻すリセットには 2 つの方法があります。:

- $\overline{\text{RESET}}$ ピンを最低 $t_{w(rst)}$. の間 LOW にする。
- パラレルソフトウェアリセットシーケンスを使用する（図 12 を参照）。ホストはバスコントローラへの連続する 2 つのパラレルバス書込みを通じ、ターゲットチャネルの CTRLPRESET レジスタに書き込まなければなりません。最初のバイトは「A5h」、次のバイトは「5Ah」です。

All information provided in this document is subject to legal disclaimers.
© NXP B.V. 2012. All rights reserved.

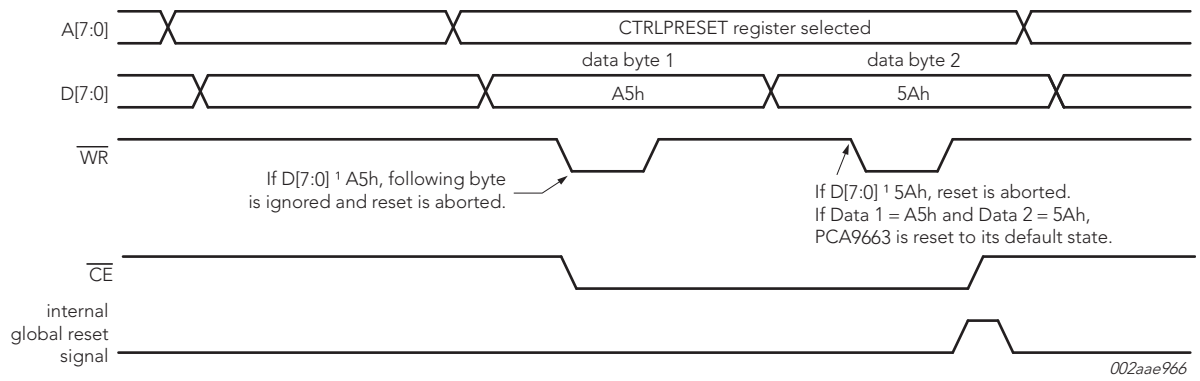


図 12.　パラレルソフトウェアリセットシーケンス

RESET ハードウェアピンとグローバルソフトウェアリセット機能の挙動はパワーオンリセットと同じで、完全なパワーアップ初期化フェーズが 8.6 章の説明のとおりに実行されます。RESET ピンには、デバイスの適切な動作を保証するための内部プルアップレジスタ（一連のダイオードを通じて実行）があります。このピンを浮動状態にすることはできず、必ず駆動させておく必要があります。

8.8　チャネルリセット

上記のチップリセットオプションに加え、各チャネルはそのチャネルの PRESET レジスタのプログラミングによって個別にリセットできます（図 13 を参照）。チャネルは、デフォルトのパワーアップ状態にリセットされます。ホストはバスコントローラへの連続する 2 つのパラレルバス書込みを通じ、ターゲットチャネルの PRESET レジスタに書き込まなければなりません。最初のバイトは「A5h」、次のバイトは「5Ah」です。

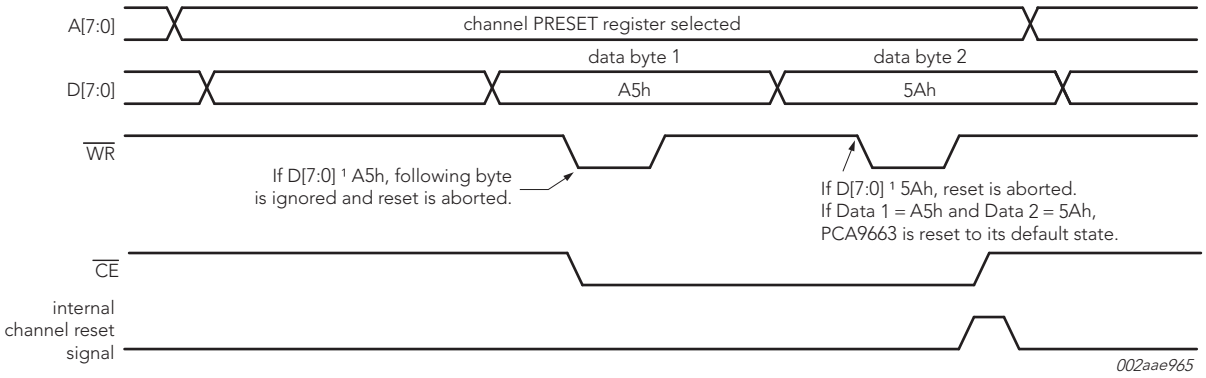


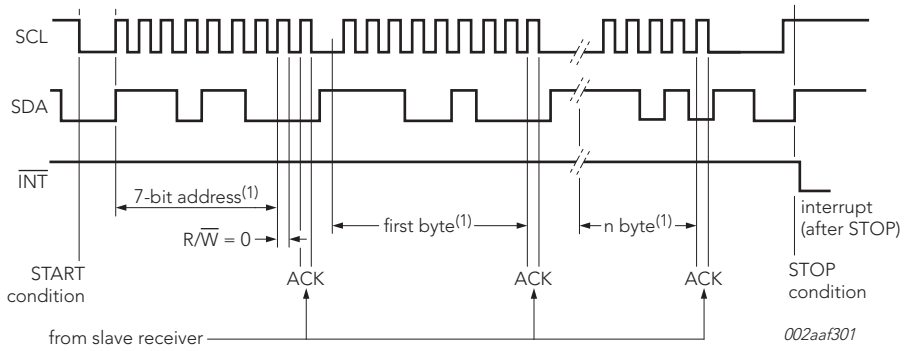
図 13.　I²C バスチャネルパラレルソフトウェアリセットシーケンス

All information provided in this document is subject to legal disclaimers.

© NXP B.V. 2012. All rights reserved.

8.9 I²C バスタイミング図 ²C-bus timing diagrams

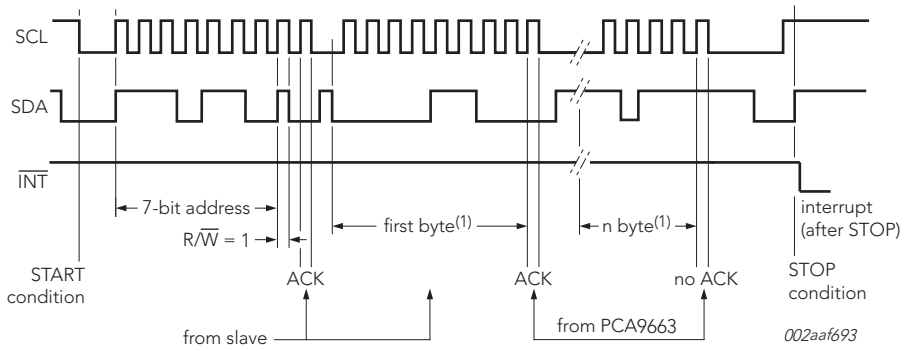
図 14 および図 15 は、PCA9663 の一般的なタイミング図です。



PCA9663 がスレーブにデータを書き込み。

(1) 7 ビットアドレス + R/W = 0 バイトおよび送信バイト数 = TRANCONFIG レジスタのトランザクション長レジスタにプログラムされている値

図 14. バスタイミング図 ー 書込みトランザクション



PCA9663 がスレーブからデータを読出し。

(1) 受信バイト数 = TRANCONFIG のトランザクション長レジスタにプログラムされている値

図 15. バスタイミング図 ー 読出しトランザクション

All information provided in this document is subject to legal disclaimers.

© NXP B.V. 2012. All rights reserved.

9. I²C バスの特性

I²C バスは、異なる IC またはモジュール間における 2 方向の 2 ライン通信をサポートします。2 ラインとはシリアルデータライン（SDA）とシリアルクロックライン（SCL）で、デバイスの出力ステージへ接続する場合、どちらのラインもプルアップレジスタを通じてプラスの電源へ接続する必要があります。データの伝送は、バスがビジーでない場合にのみ開始します。

9.1 ビット伝送

クロックパルスごとに 1 データビットが伝送されます。クロックパルスが HIGH の間 SDA ラインは安定していることが必要で、この間にデータラインに変動があるとコントロールシグナルであると判断されます（図 16 を参照）。

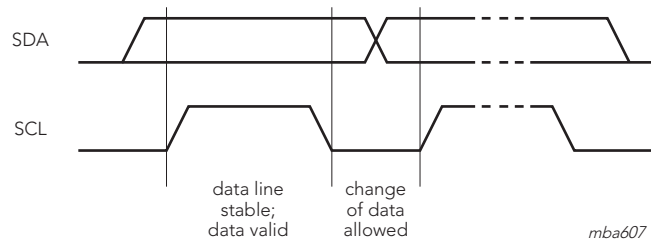


図 16. ビット伝送

9.1.1 START 条件および STOP 条件

バスがビジーでないとき、データラインとクロックラインはどちらも HIGH であることが必要です。クロックが HIGH の間におけるデータラインの HIGH から LOW への移行は、START 条件として定義されます（S）。クロックが HIGH の間におけるデータラインの LOW から HIGH への移行は、STOP 条件として定義されます（P）（図 17 を参照）。

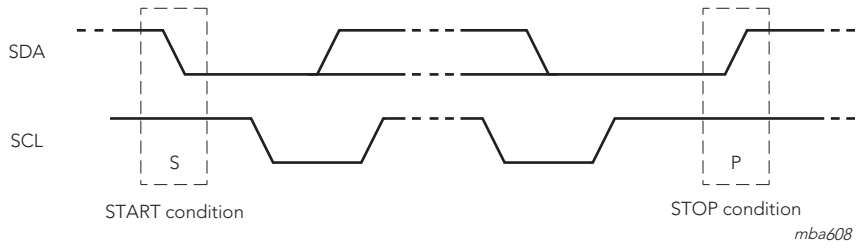


図 17. START 条件および STOP 条件の定義

9.2 システムコンフィギュレーション

メッセージを生成するデバイスをトランスミッタと呼び、これを受信するデバイスをレシーバと呼びます。メッセージをコントロールするデバイスはマスタで、マスタがコントロールするデバイスをスレーブと呼びます（図 18 を参照）。

All information provided in this document is subject to legal disclaimers.

© NXP B.V. 2012. All rights reserved.

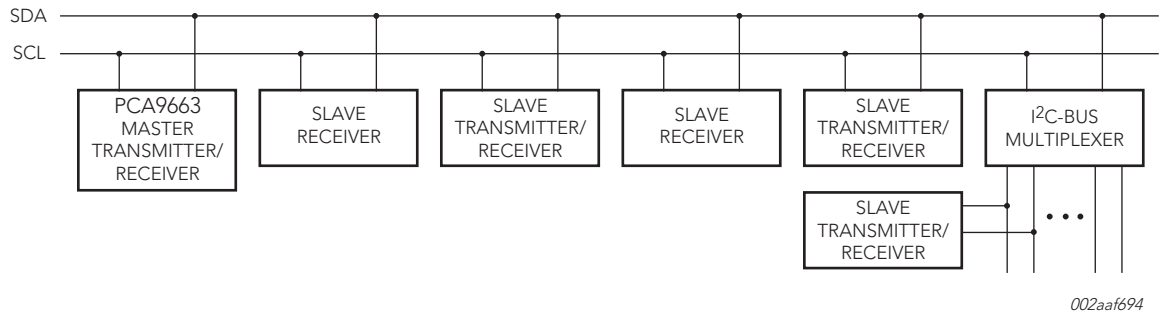


図 18.　システムコンフィギュレーション

9.3 アクノリッジ

START 条件と STOP 条件の間にトランスミッタからレシーバに伝送されるデータバイト数に制限はありません。8 ビットで構成される各バイトには、1 ビットのアクノリッジビットが続きます。アクノリッジビットはトランスミッタがバスに送る HIGH レベルで、マスタは追加のアクノリッジ関連クロックパルスを生成します。

アドレス指定されたスレーブレシーバは、各バイトの受信後にアクノリッジを生成しなければなりません。マスタも、スレーブトランスミッタからの各バイトの受信後にアクノリッジを生成する必要があります。アクノリッジを行うデバイスは、アクノリッジ関連クロックパルスが HIGH の間に SDA ラインが LOW で安定するように、アクノリッジクロックパルスの間に SDA ラインを下げる必要があります。このとき、セットアップ時間と保留時間も考慮しなければなりません。

マスタレシーバは、スレーブに送信された最後のバイトに対するアクノリッジを生成しないことによって、データが終了したことをトランスミッタに通知しなければなりません。この場合、トランスミッタはデータラインを HIGH にしておくことでマスタが STOP 条件を生成できるようにする必要があります。

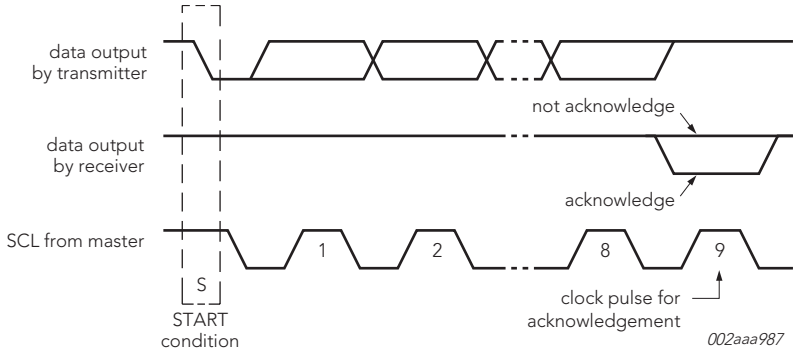


図 19.　I²C バスでの確認

All information provided in this document is subject to legal disclaimers.

© NXP B.V. 2012. All rights reserved.

10. JTAG ポート

PCA9663 には JTAG IEEE1149.1 対応ポートが実装されていて、すべてのシグナル（TDI、TMS、TCK、TRSTN、TDO）にアクセスできます。利用できる機能は、ボードレベルの継続性テストの実行など EXTEST 機能のみです。デバイスのデバッグ / エミュレーション機能はサポートされていません（たとえば INTEST コマンド）。JTAG ポートは、プリント回路基板製造中の境界スキャンテスト（すなわちオープン / ショート）で使用します。

サポートしている EXTEST JTAG インストラクションは次のとおりです。

- BYPASS
- EXTEST
- IDCODE
- SAMPLE
- PRELOAD
- CLAMP
- HIGHZ

JTAG 境界スキャンを使用しない場合、JTAG ピンは**必ず**次の状態にしなければなりません。

- TDI, TCK, TMS: V_{DD}
- TRSTN: V_{SS}

All information provided in this document is subject to legal disclaimers.

© NXP B.V. 2012. All rights reserved.

11. アプリケーション デザイン イン情報

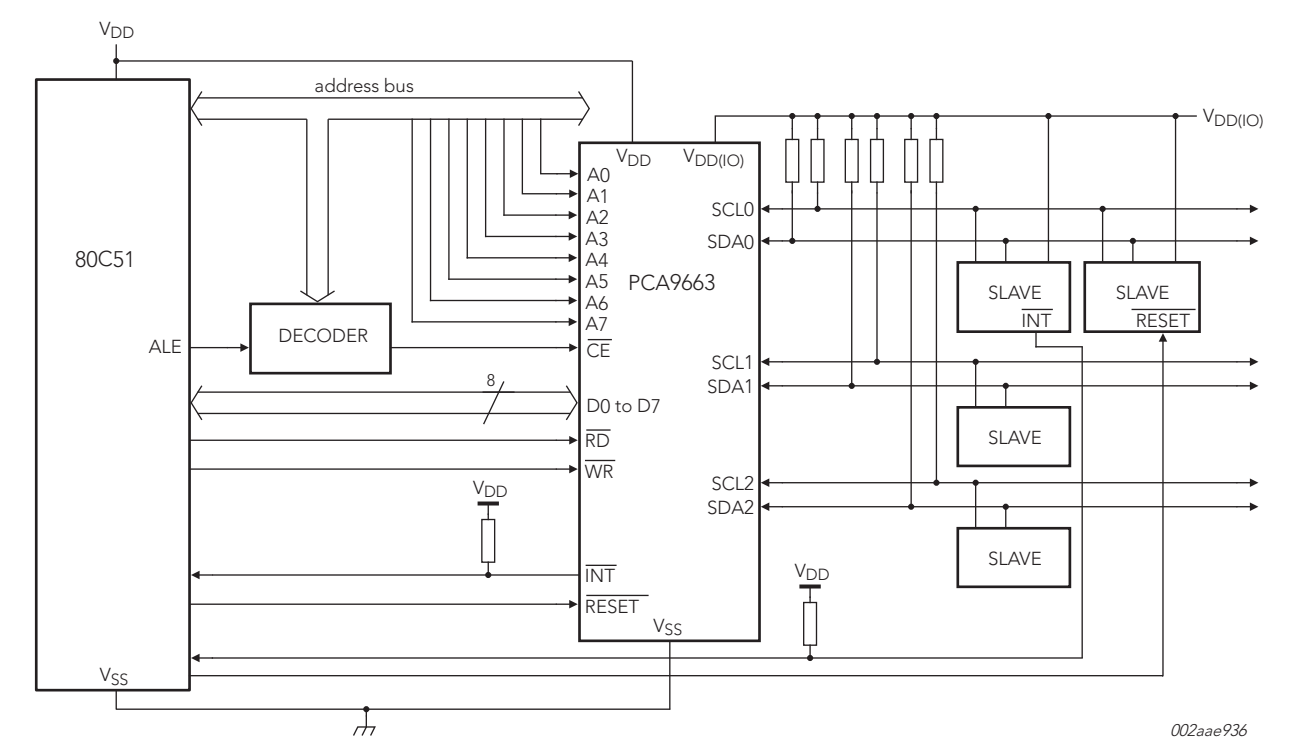


図 20. アプリケーション図（80C51 を使用）

11.1 具体的なアプリケーション

PCA9663 は I²C バスコントローラへのパラレルバスで、スマートデバイスに統合された I²C バスポートがなく、またデザイナが I²C バスポートを Bit-Bang で使用したくない場合に、スマートデバイスが I²C バスまたは SMBus コンポーネントとインターフェースが取れるようにデザインされています。PCA9663 を使用してスマートデバイスへの I²C バスポートを追加することもでき、これによって PCF8584、PCA9564、PCA9665 に高い周波数、低い電圧への移行パスを提供できるとともに、パラレルデータの 8 ビットをシリアルバスに変換することで、PCB 上で複数のトレースが実行される状況を避けることができます。

All information provided in this document is subject to legal disclaimers.

© NXP B.V. 2012. All rights reserved.

11.2 I²C バスポートの追加

下図（図 21）に示すとおり、PCA9663 は I²C バスまたはコンポーネントとのインターフェースが必要なマイクロコントローラ、マイクロプロセッサ、カスタム ASIC、DSP などのために、パラレルデータの8ビットを単一のマスタ対応I2Cバスポートに変換します。

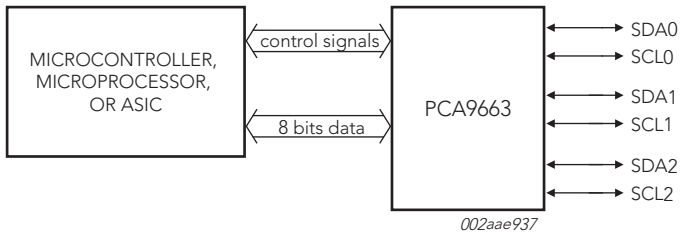


図 21. I²C バスポートアプリケーションの追加

11.3 追加 I²C バスポートの追加

PCA9663 を使用して、8 ビットパラレルデータを追加の単一マスタ対応 I²C バスポートに変換できます（図 22 を参照）。たとえばマイクロコントローラやマイクロプロセッサ、カスタム ASIC、DSP などにすでに I²C バスポートがあるけれども、さらに追加の I²C バスや SMBus コンポーネント、もしくは同じバス上に置けない複数のコンポーネント（たとえば各バスが最大の能力を発揮できるように 100 kHz のスレーブと 400 kHz のスレーブを別々のバスに置いている場合など）とのインターフェースのために、1 つまたは複数の I²C バスポートを追加したい場合に使用できます。

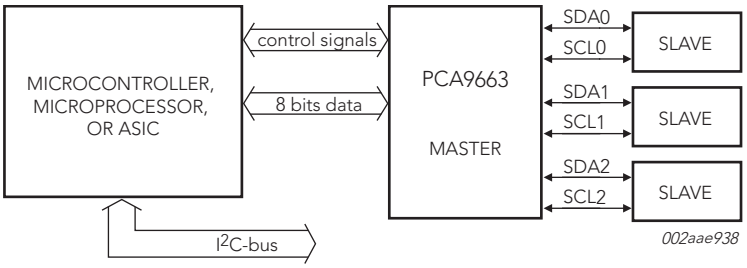


図 22. 追加 I²C バスポートアプリケーションの追加

All information provided in this document is subject to legal disclaimers.

© NXP B.V. 2012. All rights reserved.

12. 絶対最大定格

表 34. 絶対最大定格

絶対最大定格（IEC 60134）に基づく

シンボル	パラメータ	条件		最小	最大	単位
V_{DD}	電源電圧			–0.3	+4.6	V
$V_{DD(IO)}$	電源電圧（IO）	I²C バス I/O ピンの電源リファレンス		–0.3	+7.0	V
V_I	入力電圧	パラレルバスインターフェース		–0.3	+4.6	V
		I²C バスピン	[1]	–0.3	+7.0	V
I_I	入力電流	入力端子		–10	+10	mA
I_O	出力電流	出力端子		–10	+10	mA
I_{OSH}	HIGH レベル短絡出力電流	I/O D0 ～ D7		-	106	mA
I_{OSL}	LOW レベル短絡出力電流	I/O D0 ～ D7		-	110	mA
P_{tot}	許容損失			-	300	mW
P/out	出力ごとの電力損失			-	50	mW
T_{stg}	保存温度			–65	+150	°C
T_{amb}	動作温度	動作中		–40	+85	°C

[1] 5.5 V の定常状態電圧許容値（入出力）は、供給電圧がある場合にのみ有効です。4.6 V の定常状態電圧許容値（入出力）は、供給電圧がない場合です。

13. 電気的特性

表 35. 電気的特性

V_{DD} = 3.0 V to 3.6 V; T_{amb} = –40 °C ～ +85 °C; 他に特に指定がない限り

シンボル	パラメータ	条件		最小	標準	最大	単位
電源							
V_{DD}	電源電圧	パワーアップおよびパワーダウンの間の単一電源、立上げ時間 (t_{ramp})：5 µs < t_r < 20 ms（5 % $V_{DD(min)}$ から 95 % $V_{DD(min)}$）		3.0	-	3.6	V
$V_{DD(PLL)}$	フェーズロックループ電源電圧	PLL バイアス回路への電源		3.0	-	3.6	V
$V_{DD(IO)}$	電源電圧（IO）	I²C バス I/O ピンの電源リファレンス		3.0	-	5.5	V
I_{DD}	電源電流	動作モード、ロードなし		-	15	25	mA
$I_{DD(IO)}$	入出力電源電流	$V_{DD(IO)}$ = 5.5V; V_{DD} = 3.6V;		-	-	1	mA
		I/O スイッチングなし					
V_{POR}	パワーオンリセット電圧	LOW から HIGH		-	2.75	-	V
		HIGH から LOW		-	2.60	-	V
入力 $\overline{WR}$、$\overline{RD}$、A0 から A7、$\overline{CE}$、TRIG							
V_{IL}	LOW レベル入力電圧			0	-	$0.3V_{DD}$	V
V_{IH}	HIGH レベル入力電圧		[1]	$0.7V_{DD}$	-	3.6	V
V_{hys}	ヒステリシス電圧			$0.1V_{DD}$	-	-	V
I_L	リーク電流	入力 ; V_I = 0 V または 3.6 V		–1	-	+1	µA
C_i	入力容量	V_I = V_{SS} または V_{DD}		-	2.0	5	pF

All information provided in this document is subject to legal disclaimers.

© NXP B.V. 2012. All rights reserved.

表 35. 電気的特性 */続き*

V_{DD} = 3.0 V to 3.6 V; T_{amb} = −40 °C ～ +85 °C; 他に特に指定がない限り

シンボル	パラメータ	条件		最小	標準	最大	単位
入力 $\overline{RESET}$							
V_{IL}	LOW レベル入力電圧			0	-	$0.3V_{DD}$	V
V_{IH}	HIGH レベル入力電圧		[1]	$0.7V_{DD}$	-	3.6	V
V_{hys}	ヒステリシス電圧			$0.1V_{DD}$	-	-	V
I_L	リーク電流	入力 ; V_I = 0 V または 3.6 V		−1	-	+75	μA
C_i	入力容量	$V_I = V_{SS}$ または V_{DD}		-	2.0	4.5	pF
入力 / 出力 D0 から D7							
V_{IL}	LOW レベル入力電圧			0	-	$0.3V_{DD}$	V
V_{IH}	HIGH レベル入力電圧			$0.7V_{DD}$	-	3.6	V
I_{OH}	HIGH レベル出力電流	$V_{OH} = V_{DD(IO)} - 0.4$ V		3.2	-	-	mA
I_{OL}	LOW レベル出力電流	V_{OL} = 0.4 V		2.0	-	-	mA
I_L	リーク電流	入力 ; V_I = 0 V または 5.5 V		−1	-	+1	μA
C_{io}	入力 / 出力静電容量	$V_I = V_{SS}$ または V_{DD}		-	2.8	5	pF
SDA および SCL							
V_{IL}	LOW レベル入力電圧			0	-	$0.3V_{DD(IO)}$	V
V_{IH}	HIGH レベル入力電圧		[1]	$0.7V_{DD(IO)}$	-	5.5	V
I_L	リーク電流	入力 / 出力 ; V_I = 0 V または 3.6 V		−75	-	+1	μA
		入力 / 出力 ; V_I = 5.5 V		−75	-	+1	μA
I_{OL}	LOW レベル出力電流	V_{OL} = 0.4 V		30	-	-	mA
C_{io}	入力 / 出力静電容量	$V_I = V_{SS}$ または $V_{DD(IO)}$		-	5.6	7	pF
出力 $\overline{INT}$							
I_{OL}	LOW レベル出力電流	V_{OL} = 0.4 V		6.0	-	-	mA
I_L	リーク電流	V_O = 0 V または 3.6 V		−1	-	+75	μA
C_o	出力静電容量	$V_I = V_{SS}$ または V_{DD}		-	3.8	5.5	pF

[1] 5.5 V の定常状態電圧許容値（入出力）は、供給電圧がある場合にのみ有効です。4.6V の定常状態電圧許容値（入出力）は、供給電圧がない場合です。

All information provided in this document is subject to legal disclaimers.

© NXP B.V. 2012. All rights reserved.

14. 動的特性

表 36. 動的特性（3.3 V）[1][2][3]

V_{DD} = 3.3 V ± 0.3 V; T_{amb} = −40 °C ～+85 °C; 他に特に指定がない限り

シンボル	パラメータ	条件		最小	標準	最大	単位
初期化タイミング							
$t_{init(po)}$	パワーオン初期化時間			-	-	650	µs
$t_{init(channel)}$	チャネル初期化時間	チャネルソフトウェアリセット（Channel Software Reset）からの時間		-	-	70	µs
コントローラ初期化タイミング							
$t_{init(control)}$	コントローラ初期化時間	POR、$\overline{RESET}$、またはグローバルソフトウェアリセット（Global Software Reset）からの時間		-	-	650	µs
$\overline{RESET}$ タイミング							
$t_{w(rst)}$	リセットパルス幅			4	-	-	µs
t_{rst}	リセット時間		[4][5]	1.5	-	-	µs
$\overline{INT}$ タイミング							
$t_{as(int)}$	割り込み有効時間			-	-	500	ns
$t_{das(int)}$	割り込み有効解除時間			-	-	100	ns
TRIG タイミング							
$t_{w(trig)}$	トリガーパルス幅	HIGH または LOW		100	-	-	ns
バスタイミング（図 23 および図 25 を参照）							
$t_{su(A)}$	アドレスセットアップ時間	$\overline{RD}$, $\overline{WR}$ LOW まで		0	-	-	ns
$t_{h(A)}$	アドレス保留時間	$\overline{RD}$, $\overline{WR}$ LOW から		14	-	-	ns
$t_{su(CE_N)}$	$\overline{CE}$ セットアップ時間	$\overline{RD}$, $\overline{WR}$ LOW まで		0	-	-	ns
$t_{h(CE_N)}$	$\overline{CE}$ 保留時間	$\overline{RD}$, $\overline{WR}$ LOW から		0	-	-	ns
$t_{w(RDL)}$	$\overline{RD}$ LOW パルス幅			40	-	-	ns
$t_{w(WRL)}$	$\overline{WR}$ LOW パルス幅			40	-	-	ns
$t_{d(DV)}$	データ有効遅延時間	$\overline{RD}$ および $\overline{CE}$ LOW の後		-	-	45	ns
$t_{d(QZ)}$	データ出力浮動遅延時間	$\overline{RD}$ または $\overline{CE}$ HIGH の後		-	-	7	ns
$t_{su(Q)}$	データ出力セットアップ時間	$\overline{WR}$ HIGH の前		5	-	-	ns
$t_{h(Q)}$	データ出力保留時間	$\overline{WR}$ HIGH の後		2	-	-	ns
$t_{w(RDH)}$	$\overline{RD}$ HIGH パルス幅			40	-	-	ns
$t_{w(WRH)}$	$\overline{WR}$ HIGH パルス幅			40	-	-	ns

[1] パラメータは指定の温度および電圧範囲について有効です。

[2] すべての電圧はアースがつながった状態で計測（V_{SS}）。テストでは、すべての入力は 0 V と 3.0 V の間で振れ、移行時間は最大 5 ns。すべての時間計測は入力電圧 1.5 V、図 23 および 図 25 の出力電圧で実施。

[3] 出力のテスト条件：C_L = 50 pF; R_L = 500 Ω、オープンドレイン出力を除く。
オープンドレイン出力のテスト条件：C_L = 50 pF; R_L = 1 kΩ、V_{DD}. へプルアップ。

[4] バスでアクティブに通信しながらリセットを実行するとグリッチまたは不規則な STOP 条件が発生する恐れがあります。

[5] リセットに伴う完全遅延は t_{rst} および SDA と SCL バスについての RC 時定数の合計です。

All information provided in this document is subject to legal disclaimers.

© NXP B.V. 2012. All rights reserved.

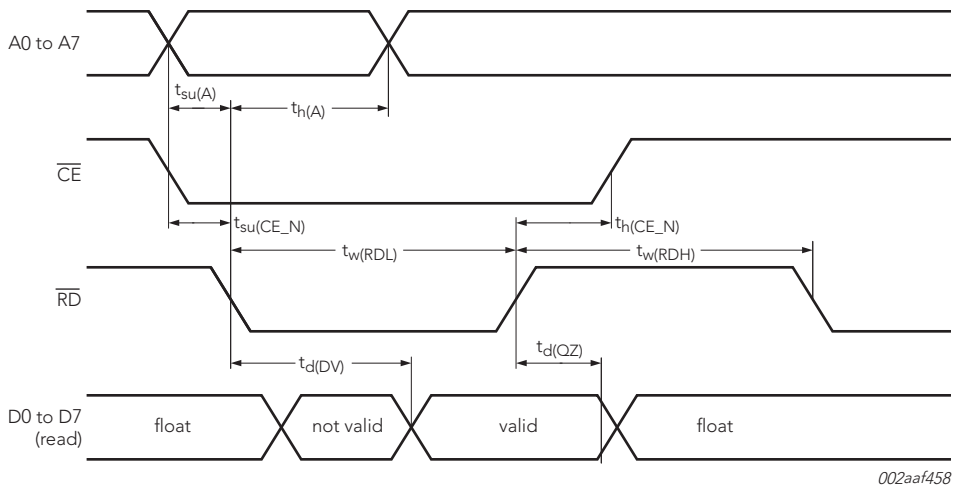


図 23.　バスタイミング（読出しサイクル）

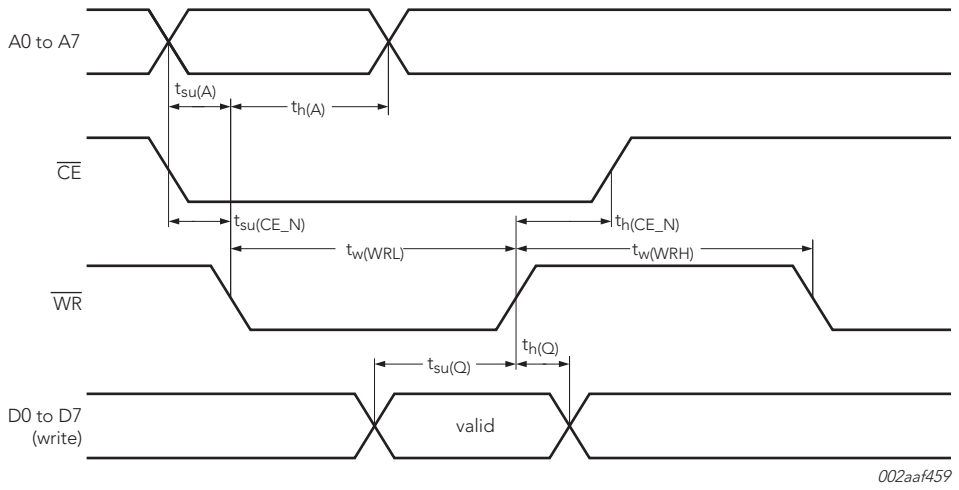
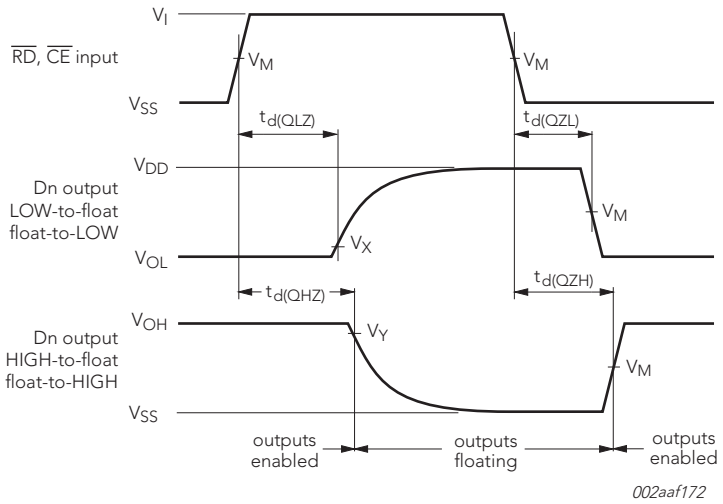


図 24.　パラレルバスタイミング（書込みサイクル）

All information provided in this document is subject to legal disclaimers.

© NXP B.V. 2012. All rights reserved.



V_M = 1.5 V

$V_X = V_{OL} + 0.2$ V

$V_Y = V_{OH} - 0.2$ V

V_{OL} および V_{OH} は出力ロードで発生する標準的な出力電圧降下です。

図 25. データタイミング

All information provided in this document is subject to legal disclaimers.

© NXP B.V. 2012. All rights reserved.

表 37. I²C バス周波数およびタイミング仕様

すべてのタイミング値は動作電源電圧および外気温度範囲内で有効 ; V_{DD} = 2.5 V ±0.2 V および 3.3 V ±0.3 V; T_{amb} = −40 °C から +85 °C; V_{IL} および V_{IH} を参照（入力電圧 V_{SS} から V_{DD}）

シンボル	パラメータ	条件		Standard-mode I²C バス		Fast-mode I²C バス		Fast-mode Plus I²C バス		単位
				最小	最大	最小	最大	最小	最大	
f_{SCL}	SCL クロック周波数		[1]	0	100	0	400	0	1000	kHz
t_{BUF}	STOP および START 条件間のバスのフリー時間			4.7	-	1.3	-	0.5	-	µs
$t_{HD;STA}$	ホールド時間（Repeated）START 条件			4.0	-	0.6	-	0.26	-	µs
$t_{SU;STA}$	Repeated START 条件のセットアップ時間			4.7	-	0.6	-	0.26	-	µs
$t_{SU;STO}$	STOP 条件のセットアップ時間			4.0	-	0.6	-	0.26	-	µs
$t_{HD;DAT}$	データホールド時間			0	-	0	-	0	-	ns
$t_{VD;ACK}$	データ有効確認時間		[2]	0.1	3.45	0.1	0.9	0.1	0.45	µs
$t_{VD;DAT}$	データ有効時間		[3]	100	-	100	-	100	-	ns
$t_{SU;DAT}$	データセットアップ時間			100	-	100	-	100	-	ns
t_{LOW}	SCL クロックの LOW 期間			4.7	-	1.3	-	0.5	-	µs
t_{HIGH}	SCL クロックの HIGH 期間			4.0	-	0.6	-	0.26	-	µs
t_f	SDA シグナルと SCL シグナルの立下り時間		[4][5]	-	300	20 + 0.1C_b[6]	300	-	120	ns
t_r	SDA シグナルと SCL シグナルの立上り時間			-	1000	20 + 0.1C_b[6]	300	-	120	ns
t_{SP}	入力フィルタで抑制する必要のあるスパイクのパルス幅		[7]	-	50	-	50	-	50	ns

[1] 最小 SCL クロック周波数はバスタイムアウト機能による制限を受け、SCL が TIMEOUT の時間 LOW となっていると CLE エラーが生成されます。

[2] $t_{VD;ACK}$ = SCL LOW から SDA（出力）LOW への確認シグナルの時間

[3] $t_{VD;DAT}$ = SCL LOW に続いて SDA データが有効である最低時間

[4] SCL 立下りエッジの未定義領域のブリッジングをするため、マスタデバイスは内部的に SDA シグナルへ最低 300ns のホールド時間を提供しなければなりません（SCL シグナルの V_{IL} を参照）。

[5] SDA および SCL バスラインの最大 t_f は 300 ns に規定。SDA 出力ステージの最大立下り時間（t_f）は 250 ns に規定。これによって、規定されている最大 t_f を超えることなくシリーズ保護抵抗を SDA ピンと SCL ピンおよび SDA/SCL バスラインの間で接続できるようになります。

[6] C_b = 1 バスラインの合計静電容量（pF）

[7] SDAn および SCLn 入力の入力フィルタによるノイズスパイクの抑制は 50 ns 未満

All information provided in this document is subject to legal disclaimers.

© NXP B.V. 2012. All rights reserved.

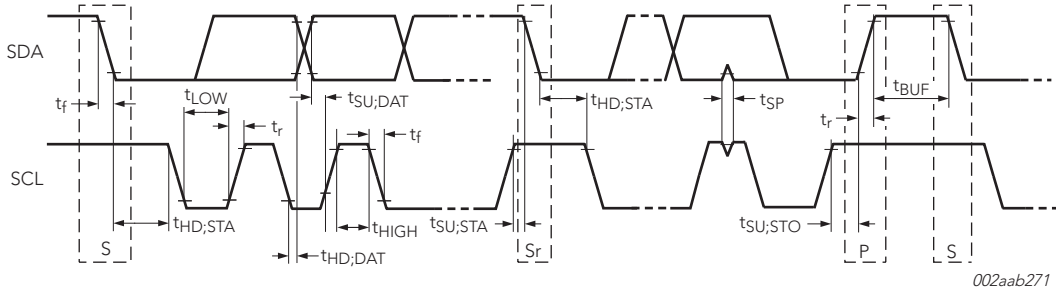
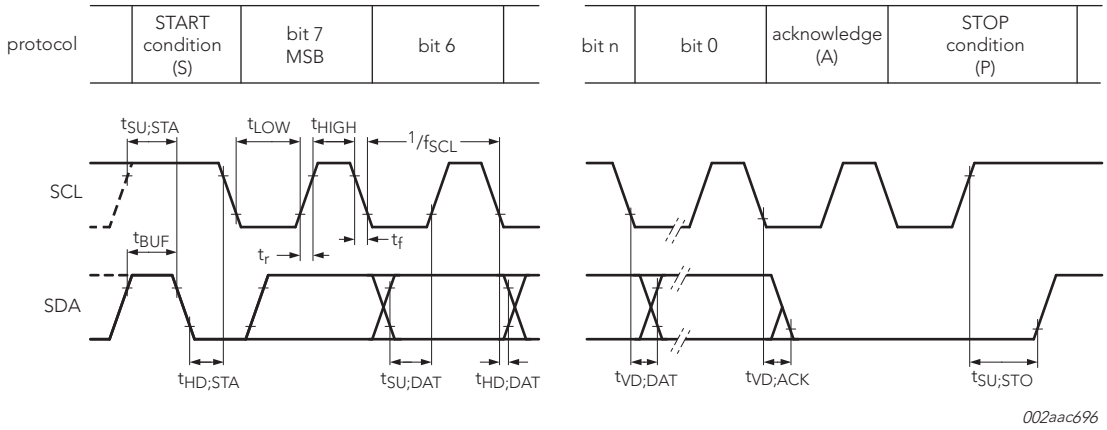


図 26. I²C バスのタイミングの定義



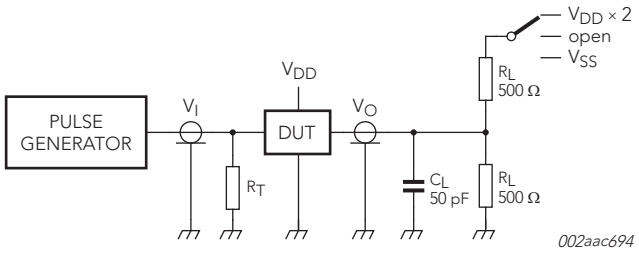
立上り時間と立下り時間は V_{IL} および V_{IH} を参照

図 27. I²C バスタイミング図

All information provided in this document is subject to legal disclaimers.

© NXP B.V. 2012. All rights reserved.

15. テスト情報



テストデータは 表 38 のとおり。

R_L = 負荷抵抗

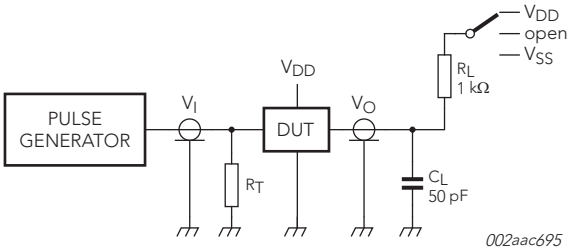
C_L = 負荷容量にはジグおよびプローブ静電容量が含まれます。

R_T = 終端抵抗はパルスジェネレータの出力インピーダンス Z_o に等しいことが必要。

図 28. スイッチング時間のテスト回路

表 38. テストデータ

テスト	テスト	負荷		S1
		C_L	R_L	
$t_{d(DV)}$, $t_{d(QZ)}$	Dn 出力アクティブ LOW	50 pF	500 Ω	V_{DD} × 2
	Dn 出力アクティブ HIGH	50 pF	500 Ω	オープン



テストデータは 表 39 のとおり。

R_L = 負荷抵抗

C_L = 負荷容量にはジグおよびプローブ静電容量が含まれます。

R_T = 終端抵抗はパルスジェネレータの出力インピーダンス Z_o に等しいことが必要。

図 29. オープンドレインスイッチング時間のテスト回路

表 39. テストデータ

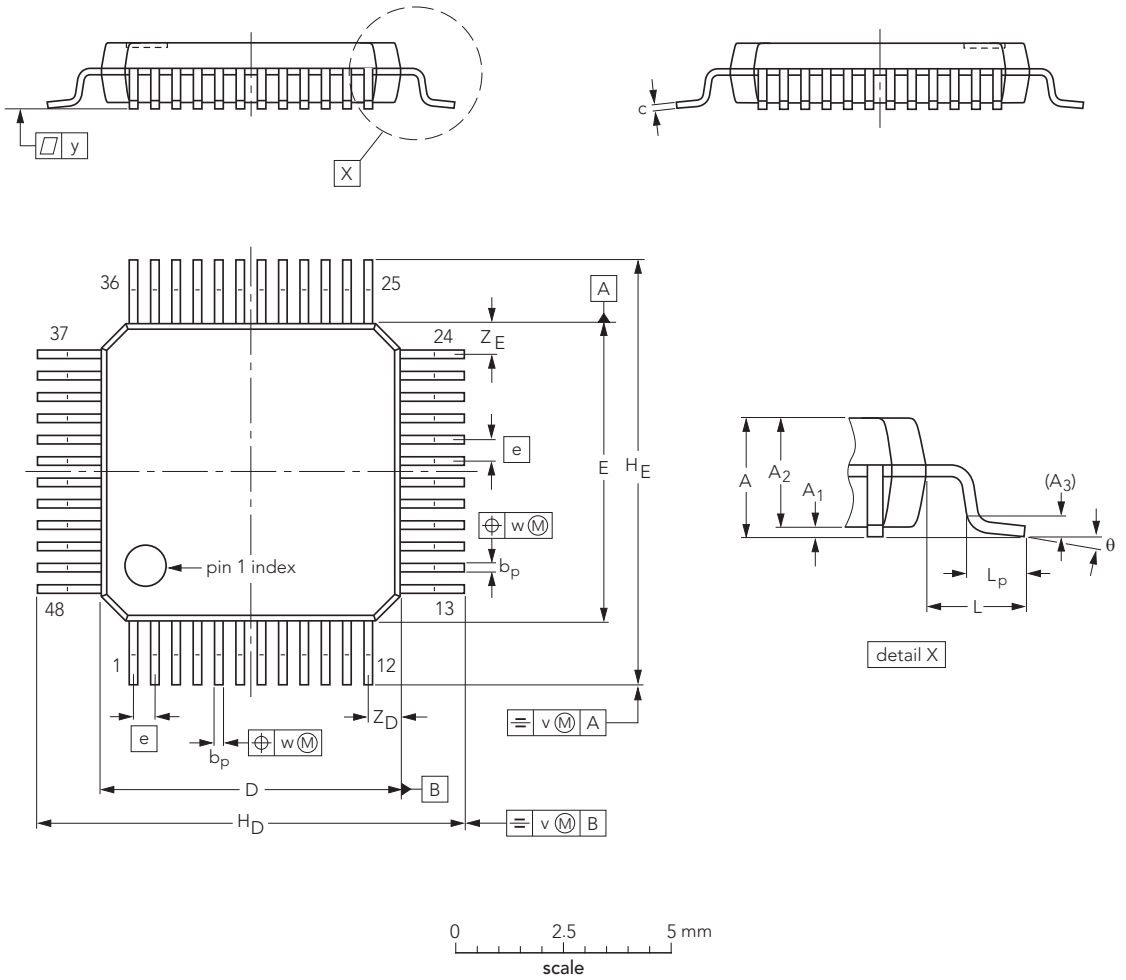
テスト	負荷		S1
	C_L	R_L	
$t_{as(int)}$	50 pF	1 kΩ	V_{DD}
$t_{das(int)}$	50 pF	1 kΩ	V_{DD}

All information provided in this document is subject to legal disclaimers.

© NXP B.V. 2012. All rights reserved.

16. パッケージ外形

LQFP48: plastic low profile quad flat package; 48 leads; body 7 x 7 x 1.4 mm SOT313-2



DIMENSIONS (mm are the original dimensions)

UNIT	A max.	A_1	A_2	A_3	b_p	c	D(1)	E(1)	e	H_D	H_E	L	L_p	v	w	y	Z_D(1)	Z_E(1)	q
mm	1.6	0.20 0.05	1.45 1.35	0.25	0.27 0.17	0.18 0.12	7.1 6.9	7.1 6.9	0.5	9.15 8.85	9.15 8.85	1	0.75 0.45	0.2	0.12	0.1	0.95 0.55	0.95 0.55	7° 0°

Note

1. Plastic or metal protrusions of 0.25 mm maximum per side are not included.

OUTLINE VERSION	REFERENCES				EUROPEAN PROJECTION	ISSUE DATE
	IEC	JEDEC	JEITA			
SOT313-2	136E05	MS-026				~~00-01-19~~ 03-02-25

図 30. パッケージ外形 SOT313-2 (LQFP48)

All information provided in this document is subject to legal disclaimers.

© NXP B.V. 2012. All rights reserved.

17. 取扱いに関する情報

すべての入力ピンと出力ピンは、通常の取扱い環境下で ESD（静電放電）から保護されます。取扱いにおいて、*JESD625-A* または同等の標準の規定にしたがって適切な注意を払うことが必要です。

18. SMD パッケージのはんだ付け

ここでは、複雑なテクノロジーの概略を非常に簡単に説明します。IC のはんだ付けに関する詳細は、アプリケーションノート *AN10365『Surface mount reflow soldering description』* を参照してください。

18.1 はんだ付けの概要

はんだ付けは、PCB（プリント基板）にパッケージを固定して電子回路を作成する最も一般的な方法の 1 つです。はんだ付けされた部分は物理的・電気的の両方で接続されます。すべての IC パッケージに理想的な単一のはんだ付け方法はありません。たとえばウェーブ方式は 1 枚のプリント配線基板にスルーホールと SMD（表面実装デバイス）がある場合に好まれる方法ですが、ファインピッチ SMD に適した方法ではありません。また小型化の進展に伴い使われるようになったリフロー方式は、スモールピッチおよび高密度に適した方法です。

18.2 ウェーブ方式とリフロー方式

ウェーブはんだ付けははんだ浴中の波面に接触通過させてはんだ付けする方法で、次の場合に適しています。

- スルーホールコンポーネント
- PCB 表面に実装するリード SMD またはリードレス SMD

ウェーブ方式ではんだ付けできない SMD もあります。はんだボール付きのパッケージやボディの下にはんだランドがある一部のリードレスパッケージなどは、この方式を適用できません。またリード付き SMD でリードのピッチが 0.6mm より狭いものは、ブリッジングの恐れが高まるためウェーブ方式を使えません。

リフロー方式はプリント基板上にはんだペーストを印刷し、その上に部品を載せてから熱を加えてはんだを溶かす方法で、リード付きパッケージ、はんだボール付きパッケージ、リードレスパッケージに適用できます。

ウェーブ方式とリフロー方式の両方の主な特性は次のとおりです。

- 基板の仕上げ、はんだマスク、バイアを含む基板の仕様
- はんだシーフおよび方向を含むパッケージのフットプリント
- 湿度に対するパッケージの感度レベル
- パッケージ配置
- 検査および修理
- リードフリーはんだ対 SnPb はんだ

All information provided in this document is subject to legal disclaimers.

© NXP B.V. 2012. All rights reserved.

18.3 ウェーブはんだ付け

ウェーブ方式の主な特性は次のとおりです。

- 接着剤およびフラックスの適用、リードのクリンチ、基板の輸送、はんだウェーブパラメータ、コンポーネントをはんだ浴の波面に接触させる時間など、プロセスに関する課題
- 温度および不純物を含むはんだ浴の仕様

18.4 リフロー方式

リフロー方式の主な特性は次のとおりです。

- リードフリー対 SnPb はんだ ー 通常、リードフリーのリフロープロセスは SnPb プロセスに比べて最低ピーク温度が高くなるので（図 31 を参照）、プロセスウィンドウが狭くなります。
- 汚れ、リリース、1 枚の基板上に大きさが異なるコンポーネントが混在する場合のプロセスウィンドウの調整などはんだペーストの印刷に関わる課題。
- プリヒート、リフロー（基板をピーク温度まで加熱）、クールダウンを含むリフロー温度プロファイル。高い信頼性ではんだ付けを行うには、ピーク温度を十分高くする必要があります（はんだペースト特性）。同時に、ピーク温度はパッケージか基板またはその両方がダメージを受けないレベルの低さであることも必要です。パッケージのピーク温度はパッケージの厚さと体積に左右されます（表 40 および 41 を参照）。

表 40. SnPb 共晶プロセス（J-STD-020C より）

パッケージの厚さ（mm）	パッケージリフロー温度（°C）	
	体積（mm³）	
	< 350	≥ 350
< 2.5	235	220
≥ 2.5	220	220

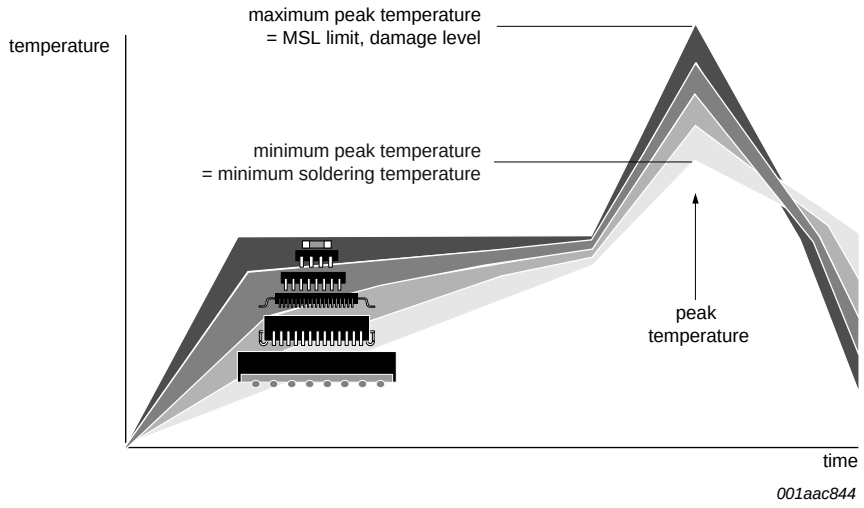
表 41. リードフリープロセス（J-STD-020C より）

パッケージの厚さ（mm）	パッケージリフロー温度（°C）		
	体積（mm³）		
	< 350	350 to 2000	> 2000
< 1.6	260	260	260
1.6 to 2.5	260	250	245
> 2.5	250	245	245

パッキングに記載されている湿度感度に関する注意事項を必ず守ることが必要です。

リフローはんだ付けの場合、小型パッケージの方が温度が高くなるという調査結果が出ています（図 31）。

All information provided in this document is subject to legal disclaimers.
© NXP B.V. 2012. All rights reserved.



MSL：湿度感度レベル

図 31. 温度プロファイル ― 大型コンポーネントと小型コンポーネント

温度プロファイルの詳細は、アプリケーションノート *AN10365『Surface mount reflow soldering description』*を参照してください。

19. 略語

表 42. 略語

頭字語	説明
ASIC	特定用途向け集積回路
CPU	中央演算処理装置
CDM	Charged-Device Model（デバイス帯電モデル）
DSP	デジタル信号処理
ESD	ElectroStatic Discharge（静電放電）
Fm+	Fast-mode Plus
HBM	Human Body Model（人体モデル）
I²C-bus	Inter-Integrated Circuit バス
I/O	入力 / 出力
LED	発光ダイオード
PLL	Phase-Locked Loop（フェーズロックループ）
SMBus	システム管理バス

20. 改訂履歴

表 43. 改訂履歴

文書 ID	発行日	データシートステータス	変更通知	旧版
PCA9663 v.1	20110606	製品データシート	-	-

All information provided in this document is subject to legal disclaimers.

© NXP B.V. 2012. All rights reserved.

21. 法務関連情報

21.1 データシートステータス

文書ステータス [1][2]	製品ステータス [3]	定義
目標 [簡略版] データシート	開発	この文書には、製品開発について客観的な仕様からのデータが含まれています。
準備 [簡略版] データシート	適格性評価	この文書には準備仕様からのデータが含まれています。
製品 [簡略版] データシート	生産	この文書には製品仕様が含まれています。

[1] デザインを開始する前または完了する前に、最新の文書を確認してください。

[2] 簡略版データシートの詳細は下記「定義」を参照してください。

[3] 本文書に記載されているデバイスの製品ステータスは、本文書の発行後に変更されている場合があります。また、複数のデバイスの場合に異なる場合があります。製品のステータスに関する最新情報はインターネットで確認できます（http://www.nxp.com）。

21.2 定義

ドラフト — 文書はドラフトバージョンとしての意味しか持たず、その内容は社内でチェック中であるとともに正式な承認が必要であるため、変更されたり追加されたりする場合があります。NXP セミコンダクターズは本文書に含まれている情報の正確性および完全性を主張または保証せず、本文書に含まれている情報を使用したことによって生じた結果に対していかなる責任も負いません。

簡略版データシート — 同じ製品タイプ番号とタイトルの完全版データシートからの抜粋です。簡単な参照用としての役割のみを果たし、完全な詳細情報は含まれていません。完全な詳細情報を網羅している完全版データシートは、お近くの NXP セミコンダクターズ オフィスまでお問い合わせください。完全版と簡略版の間に差異や不一致部分がある場合、完全版データシートが適用されます。

製品仕様 — 製品データシートに記載されている情報とデータは、NXP セミコンダクターズおよび顧客が別途書面で明示的に同意している場合を除き、NXP セミコンダクターズと顧客の間で合意されている製品の仕様を規定します。ただし、NXP セミコンダクターズの製品が製品データシートに記載されている以上の機能および品質を提供するとされている合意はいかなる状況においても無効です。

21.3 免責条項

保証および責任の限度 — NXP セミコンダクターズは本文書内の情報が正確で信頼できるものであると考えていますが、明示的であるか暗示的であるかを問わず、これらの情報の正確性または完全性についていかなる主張または保証もせず、これらの情報を使用したことによって生じた結果に対していかなる責任も負いません。

間接的、偶発的、懲罰的、特別または結果的であるかに関係なくいかなる損害についても、また係る損害が不正行為（過失を含む）、保証、契約または他の法的理論の違反によって生じた場合であっても、NXP セミコンダクターズは一切の責任を負いません。このような損失には収益の逸失、預金の損失、事業の中断、製品の撤去や交換関連するコストまたは再作業費用などが含まれますが、これらだけに限られません。

何らかの理由により顧客が損害を被った場合、本文書に記載されている製品について顧客に対する NXP セミコンダクターズの累積的なすべての責任の上限は、NXP セミコンダクターズの「商業販売条件」の規定に準拠するものとします。

変更の権利 — NXP セミコンダクターズは、本文書で公開されている情報を通知なくいつでも変更する権利を有します。これには仕様および製品の説明が含まれますが、これらだけに限られません。本文書は、本文書の発行前に提供されたすべての情報に優先し、これらに替わるものとなります。

使用適合性 — NXP セミコンダクターズの製品は人命支援、人命や安全に関わるシステムまたは設備での使用、また NXP セミコンダクターズ製品のエラーまたは不具合が個人の死傷または財産もしくは環境への深刻な損害につながることが合理的に予測されるアプリケーションに対して適した製品として設計、承認、保証されていません。NXP セミコンダクターズは、このような設備やアプリケーションにおける NXP セミコンダクターズ製品の使用に対していかなる責任も負わず、係る状況での使用に対するリスクは顧客が負うものとします。

アプリケーション — 本文書に記載されているこれらの製品のアプリケーションは説明のみを目的としたものであり、NXP セミコンダクターズはさらなるテストや改修なしに係るアプリケーションが特定の用途に適しているかどうかについていかなる主張も保証もしません。

顧客は NXP セミコンダクターズの製品を使用したアプリケーションおよび製品のデザインと作業に対する責任を負い、NXP セミコンダクターズはアプリケーションおよび顧客の製品デザインへの支援に対していかなる責任も負いません。顧客の予定しているアプリケーションと製品、またサードパーティとなる顧客の顧客が予定しているアプリケーションに NXP セミコンダクターズの製品が適しているかどうか、その判断に対する全責任は顧客が負うものとします。係るアプリケーションおよび製品に関連するリスクを最小限に抑えるため、顧客はデザインおよび作業に対して適切な安全対策を講じる必要があります。

NXP セミコンダクターズは、顧客のアプリケーションまたは製品もしくはサードパーティとなる顧客の顧客のアプリケーションまたは使用における欠陥や怠慢に起因するすべての怠慢、損害、コスト、問題に対していかなる責任も負いません。顧客は、顧客またはその顧客のアプリケーションおよび製品の不具合を避けるため、NXP セミコンダクターズの製品を使用したアプリケーションおよび製品について必要なすべてのテストを実施する責任を負います。係る状況について、NXP はいかなる責任も負いません。

絶対最大定格 — 1 つまたは複数の制限値（IEC60134 の絶対最大定格システムに規定）を超えるストレスは、デバイスの恒久的なダメージの原因となります。制限値はストレス定格のみとしての意味を有し、これらの条件下または推奨動作条件のセクション（ある場合）または本文書にある特性の説明に記載されている制限値を超えた（適切な）使用についての保証はありません。制限値で常時動作している場合もしくは制限値での動作が頻繁に繰り返された場合、デバイスの品質と信頼性に永続的で元に戻すことのできない影響を与えます。

商業販売条件 — 書面による有効な個別契約に基づいて合意している場合を除き、NXP セミコンダクターズ製品の商業販売は http://www.nxp.com/profile/terms に公開されている条件にしたがって販売されます。個別契約が結ばれた場合は、係る契約の条件のみが適用されます。顧客による NXP セミコンダクターズ製品の購入に関し、顧客が定める一般条件を適用することを NXP セミコンダクターズはここに明示的に拒否します。

販売またはライセンス提供の提案 — 本文書のいかなる部分も、いずれの著作権、特許もしくは他の工業所有権または知的財産権においても、オープンに提供または供与できる製品の販売、ライセンスの譲渡や関与を提案するものとして理解または解釈することはできません。

輸出規制 — 本文書および記載されている項目は、輸出管理法規の適用を受ける場合があります。輸出に際し、各国規制当局の事前許可が必要な場合があります。

車載環境に対する製品の非適格性 — 特定の NXP セミコンダクターズ製品が車載環境向けの製品であると本データシートに明示的に記述されている場合を除き、本製品は車載環境での使用に適した製品ではありません。本製品は車載環境のテストまたはアプリケーション要件にしたがってテストされていないとともに、これらの要件に対する適格性も持ち合わせていません。車載環境に非適格な製品を車載設備やアプリケーションに含めたり使用したりした場合、NXP セミコンダクターズはいかなる責任も負いません。

顧客が本製品をデザインインに使用し自動車仕様および規格にしたがい車載アプリケーションで使用する場合、顧客は（a）係る車載アプリケーション、使用、仕様について NXP セミコンダクターズからの本製品に対する保証なしに使用し、（b）NXP セミコンダクターズの仕様に含まれていない車載アプリケーションに本製品を使用した場合、その全責任を負い、（c）NXP セミコンダクターズの標準保証および製品仕様に含まれていない車載アプリケーションでの NXP セミコンダクターズ製品の使用およびデザインによって生じたすべての義務、損害、不具合の生じた製品の賠償請求から NXP セミコンダクターズを完全に保護するものとします。

All information provided in this document is subject to legal disclaimers.

© NXP B.V. 2012. All rights reserved.

21.4 商標

注意：本文書に記載されているすべてのブランド、製品名、サービス名、商標はそれぞれの所有者の知的財産です。

I²C-bus — ロゴは NXP B.V. の商標です。

22. お問合せ先

詳細は弊社 Web サイトをご覧ください: http://www.jp.nxp.com/#/homepage

お近くのオフィスの住所については電子メールでお問合せください: salesaddresses@nxp.com

All information provided in this document is subject to legal disclaimers.

© NXP B.V. 2012. All rights reserved.

23. 目次

1 はじめに 1
2 特徴およびメリット 1
3 アプリケーション 2
4 オーダー関連情報 2
5 ブロック図 3
6 ピンニング情報 4
6.1 ピンニング 4
6.2 ピンの説明 4
7 機能説明 6
7.1 全般 6
7.2 内部オシレータおよび PLL 6
7.3 バッファについて 6
7.3.1 バッファ管理の前提条件 7
7.3.2 バッファサイズ 7
7.4 エラーレポートおよび処理 7
7.5 レジスタ 8
7.5.1 チャネルレジスタ 13
7.5.1.1 STATUS0_[n], STATUS1_[n], STATUS2_[n] — トランザクションステータスレジスタ 13
7.5.1.2 CONTROL — コントロールレジスタ 14
7.5.1.3 CHSTATUS — チャネルステータスレジスタ . 17
7.5.1.4 INTMSK — 割り込みマスクレジスタ 19
7.5.1.5 SLATABLE — スレーブアドレステーブルレジスタ 20
7.5.1.6 TRANCONFIG — トランザクションコンフィギュレーションレジスタ 21
7.5.1.7 DATA — I²C バスデータレジスタ 21
7.5.1.8 TRANSEL — トランザクションデータバッファ選択レジスタ 22
7.5.1.9 トランザクションデータバッファバイト選択レジスタ 23
7.5.1.10 BYTECOUNT — 伝送済および受信済バイトカウントレジスタ 23
7.5.1.11 FRAMECNT — フレームカウントレジスタ . . . 23
7.5.1.12 REFRATE — リフレッシュ・レートレジスタ . 24
7.5.1.13 SCLL、SCLH — クロックレートレジスタ . . . 24
7.5.1.14 MODE — I²C バスモードレジスタ 27
7.5.1.15 TIMEOUT — タイムアウトレジスタ 28
7.5.1.16 PRESET — I²C バスチャネル パラレルソフトウェア リセットレジスタ 29
7.5.2 グローバルレジスタ 29
7.5.2.1 CTRLSTATUS — コントローラステータスレジスタ 29
7.5.2.2 CTRLINTMSK — コントロール割り込みマスクレジスタ 31
7.5.2.3 DEVICE_ID — デバイス ID 32
7.5.2.4 CTRLPRESET — パラレルソフトウェアリセットレジスタ 33
7.5.2.5 CTRLRDY — コントローラ準備レジスタ 33
8 PCA9663 の動作 35
8.1 シーケンス実行 35
8.2 読出しトランザクション 39
8.3 シーケンスの停止 39
8.4 シーケンスのルーピング 39
8.4.1 REFRATE コントロールでのルーピング 40
8.4.2 Trigger コントロールでのルーピング 40
8.5 バスエラー 41
8.5.1 SDA（DAE）の LOW レベルによる I²C バスの障害 41
8.5.2 SCL（CLE）の LOW レベルによる I²C バスの障害 42
8.5.3 不正 START または STOP（SSE）. 42
8.6 パワーオンリセット 42
8.7 グローバルリセット 42
8.8 チャネルリセット 43
8.9 I²C バスタイミング図 ²C-bus timing diagrams 44
9 I²C バスの特性 45
9.1 ビット伝送 45
9.1.1 START 条件および STOP 条件 45
9.2 システムコンフィギュレーション 45
9.3 アクノリッジ 46
10 JTAG ポート 47
11 アプリケーション デザインイン情報 48
11.1 具体的なアプリケーション 48
11.2 I²C バスポートの追加 49
11.3 追加 I²C バスポートの追加 49
12 絶対最大定格 50
13 電気的特性 50
14 動的特性 52
15 テスト情報 57
16 パッケージ外形 58
17 取扱いに関する情報 59
18 SMD パッケージのはんだ付け 59
18.1 はんだ付けの概要 59
18.2 ウェーブ方式とリフロー方式 59
18.3 ウェーブはんだ付け 60
18.4 リフロー方式 60
19 略語 61
20 改訂履歴 61
21 法務関連情報 62
21.1 データシートステータス 62
21.2 定義 62
21.3 免責条項 62
21.4 商標 63
22 お問合せ先 63
23 目次 64

Please be aware that important notices concerning this document and the product(s) described herein, have been included in section 'Legal information'.

© NXP B.V. 2012. All rights reserved.

For more information, please visit: http://www.nxp.com
For sales office addresses, please send an email to: salesaddresses@nxp.com

Date of release: 2011 年 6 月 6 日
Document identifier: PCA9663