

# AN14102\_JA

NXP AFEを用いた産業応用計測

Rev. 1.1 — 30 November 2023

Application note

## Document information

Information	Content
Keywords	NAFE <sub>xx</sub> 388、産業用、マルチチャンネル、ユニバーサル、アナログフロントエンド(AFE)、高精度、温度計測、ロードセル、サーモカップル (TC)、4mA~20mA、RTD
Abstract	NAFE <sub>xx</sub> 388は、高度に構成可能な産業グレードのマルチチャンネルユニバーサル入力アナログフロントエンド(AFE)であり、産業用途のための高精度電圧/電流測定要件を満たしています。



## 1 はじめに

NAFE(NXP AFE)は、高精度測定要件を満たす、高度に構成可能な産業グレードのマルチチャネルユニバーサル入力アナログフロントエンド(AFE)です。このデバイスは、低リーク、高電圧(HV)の高速マルチプレクサ、低オフセット、低ドリフトのプログラマブルゲインアンプ(PGA)とバッファ、高データレートの24ビット・シグマデルタ・アナログデジタルコンバータ(ADC)、精密な電圧および電流励起源、低ドリフト電圧基準を統合しています。すべてのHVアナログピンは、電磁適合性(EMC)のために内部でダイオード保護されており、システム設計の部品表(BOM)要件を簡素化します。NAFEにはさまざまな診断機能が搭載されており、状態監視や異常検出のための監視回路を提供しています。NAFEはまた、エンドツーエンドシステムの自己キャリブレーションを容易にするために、2つの正確なキャリブレーション電圧源を統合します。これらの機能は、メンテナンスを予測し、突然発生するコストのかかるダウンタイムを回避するのに役立ちます。NAFEファミリーの製品の普遍性は、プログラマブルロジックコントローラ(PLC)、I/Oモジュール、データロガー、計装、高精度センサ、データ収集システムなど、さまざまな産業用途への適用を可能にします。

本稿では、NAFE13388EVB(評価用ボード)とGUIを使用した、電圧および電流センシング、温度および重量スケール測定、システム診断のシステムレベルでの実装について説明します。

### 1.1 NAFE製品ファミリー

NAFE	1	3	3	8	8
	1: Low power 7: High speed	1: No VIEX 3: VIEX	1: No Cal 3: Factory calibrated	4: 16 bit 8: 24 bit	4: 4-ch 8: 8-ch

詳細情報および使用可能な部品番号については、NXP工場またはNXP販売担当者にお問い合わせください。

## 1.2 NAFEの特徴

- 8つの設定可能なHV入力
  - シングルエンドまたはディファレンシャル、最大±25Vのレンジ
  - 電圧、電流、抵抗、抵抗温度検出器(RTD)、熱電対の独立した構成
  - 1時間未満で±36Vまで過電圧保護
- プログラマブルゲイン:x0.2~x16
- 高速データレート
  - 7.5SPS ~ 288kSPS
  - 同時50Hz/60Hzライン除去
  - ENOB: 72kSPSで17ビット
- 高精度
  - 0.005%FS精度(ユーザキャリブレーション後の常温で)
  - 0.1%FS精度(-25°C以上105°C以下)
- システムキャリブレーション
  - 精密な電圧源を統合したエンドツーエンドのキャリブレーション
  - 工場でキャリブレーション済みの正確な製品が入手可能
- ±3°C内部温度センサ
- 精密な励起電圧および電流源
- 0.2%内部発振器精度(常温時)
- 故障検出および予測のための診断システム
- CRCエラー検出
- 10 GPIO
- 32MHz SPIインターフェース
- 堅牢な7.5kV HBM ESDおよびIEC61000-4-5 2kVサージ保護
- 電源: HV: ±7V ~ ±24V, LV: 3.3V
- 150mW低消費電力
- 動作温度範囲TA: -40 °C ~ +125 °C
- パッケージ: 64pin、9mm x 9mm x 0.85mm HVQFN

## 2 アプリケーション

以降の項では、各種システムレベルアプリケーションについて説明し、NAFE13388EVB(評価用ボード)とGUIを使用した実装を示します。

### 2.1 自己診断

NAFEファミリの製品には、内部ノード電圧(スケリングされたHVDDとHVSS、AVDD、VREF\_Coarse、GPIO 0~GPIO 1)をADC入力にルーティングして、外部測定ユニットなしで自己診断を実行する低電圧マルチプレクサ(LVMUX)が内蔵されています。柔軟で構成可能なグローバルアラームと共に内部ノードを感知するこの能力は、ユーザに、対象の診断信号を異なる論理チャンネルに割り当て、マルチチャンネル変換コマンドを実行することによって、パワーアップ自己診断シーケンスを作成する能力を付与します。

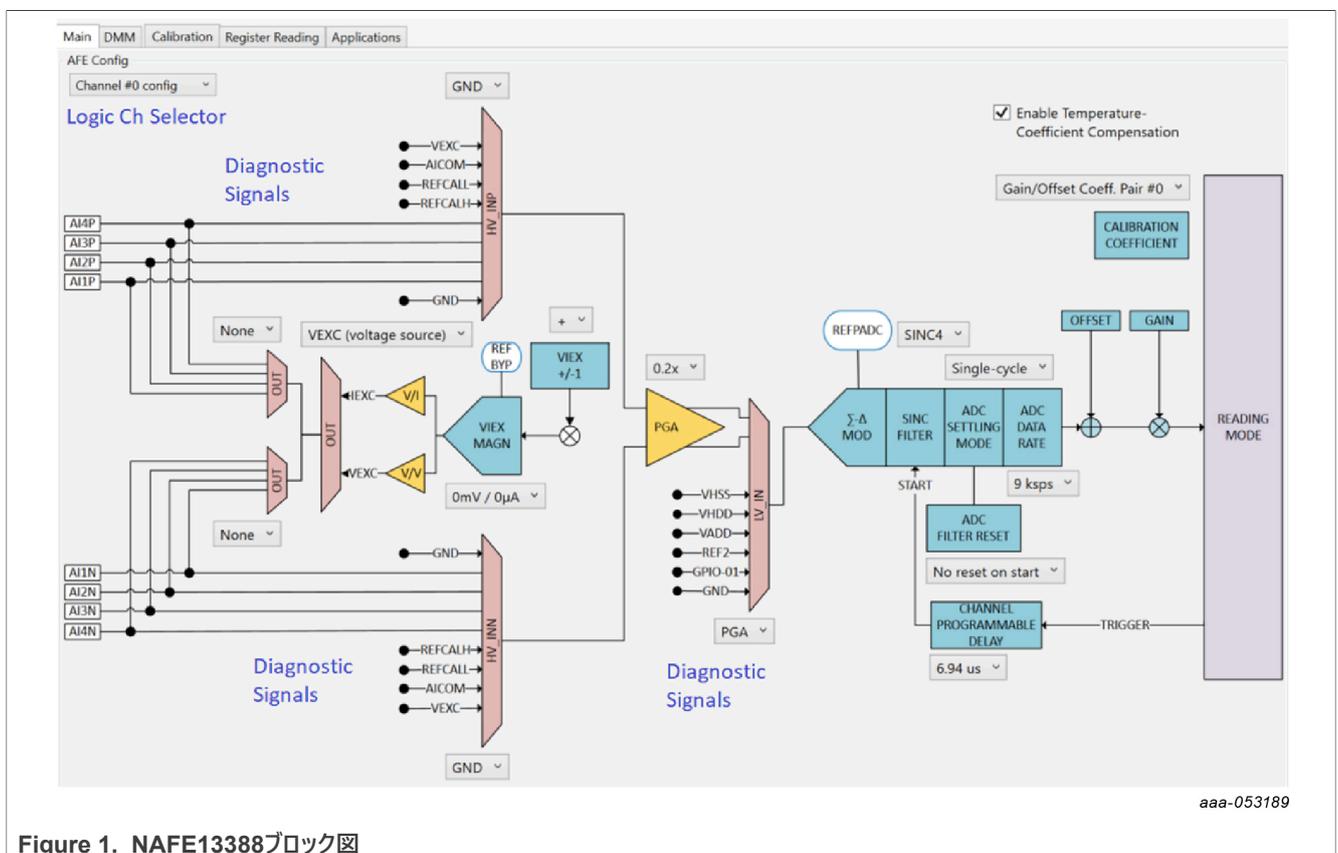


Figure 1. NAFE13388ブロック図

## 2.2 電圧センシング

NAFE製品ファミリーは、最大8つの入力を提供します。これらの各入力は、独立して(シングルエンドモード)またはペアで(ディファレンシャルモード)使用できます。シングルエンドモードでは、最大8つのアプリケーションキー電圧レベル(電圧リファレンス、パワーレール、トランスダクタ出力等)を監視できます。ディファレンシャルモードでは、センサの電圧等、最大4つの差動信号を監視できます。

以下は、NAFEが異なるフィールド機器からの信号を測定するために使用される産業用途のブロック図の例です。

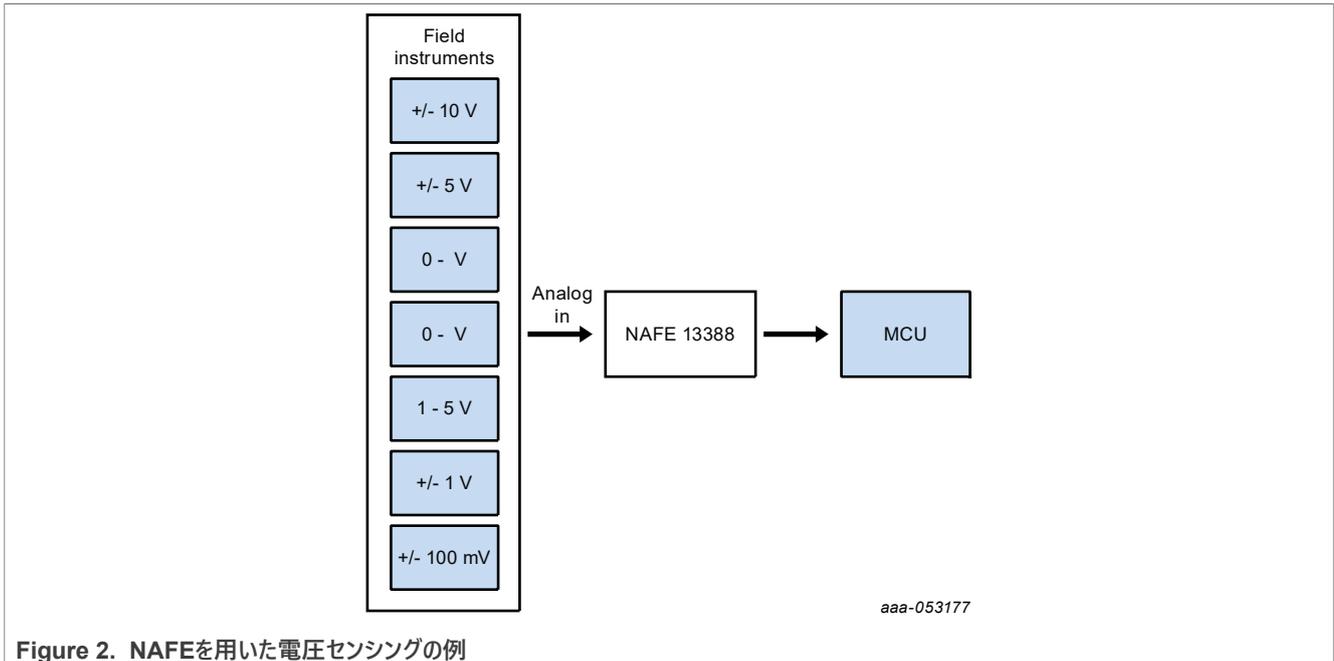


Figure 2. NAFEを用いた電圧センシングの例

NAFE製品ファミリーは、16の論理チャンネル(8つの物理入力チャンネルとは異なる)を提供し、16の異なるチャンネル構成を可能にします。これらの固有の構成が定義されると、ユーザは異なる構成間をシームレスに切り替えることができ、追加のSPIトランザクションオーバーヘッドを回避できます。

ゲインはシステムの入力レンジ要件に基づいて設定されます (Table 26 参照)。

Table 1 は、上記の例のハードウェアアプリケーションのロジックチャンネルの割り当てと設定を示しています。

Table 1. Vsenseの論理チャンネルの割り当てとゲイン選択

産業用シグナルは±10、±5、Uni 0-10、0-5、1-5、±1V、±100mV

論理チャンネル	マッピング	入力シグナル(V)	ゲイン(V/V)	NAFE AINレンジ(V)	NAFE FS (V)
0	AI1P-AICOM	±10	0.2X	±10	±12.5
1	AI1N-AICOM	±5	0.4X	±5	±6.25
2	AI2P-AICOM	0-10	0.2X	±10	±12.5
3	AI1N-AICOM	0-5	0.4X	±5	±6.25
4	AI3P-AICOM	1-5	0.4X	±5	±6.25
5	AI3N-AICOM	±1	2X	±1	±1.25
6	AI4P-AI4N	0.100	16X	±0.125	±0.156

NAFE13388は、50Hzおよび60Hzのノーマルモード除去(NMR)を提供するデジタルフィルタを特徴とします。

Figure 3は、10sps、50sps、60spsのデータレートでのSINC4フィルタNMRを示します。

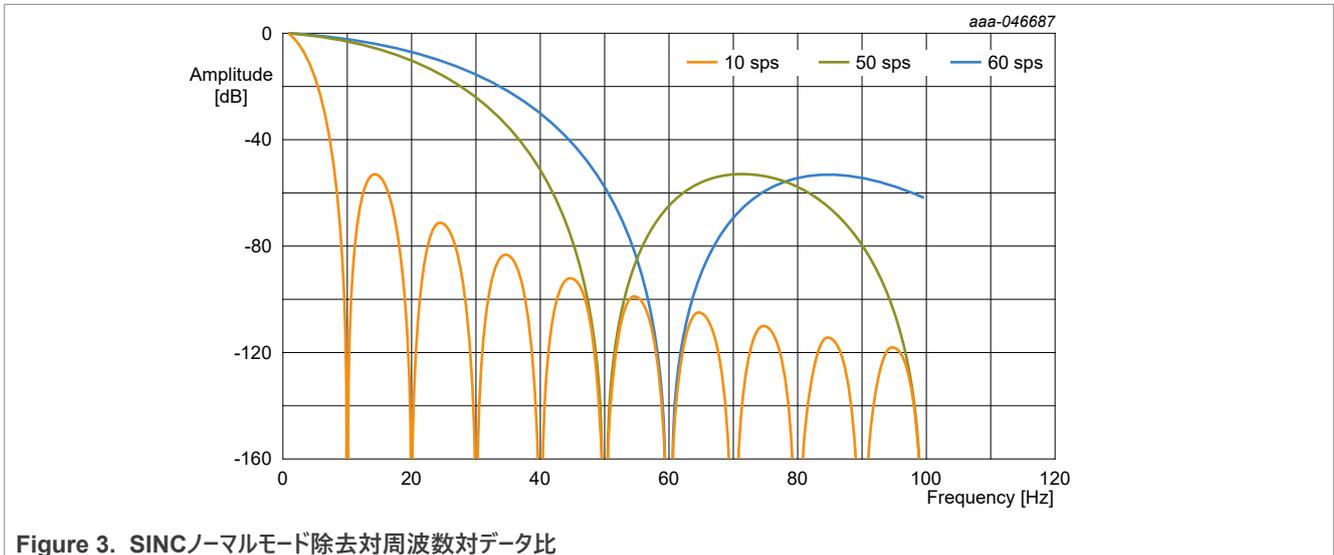


Figure 3. SINCノーマルモード除去対周波数対データ比

データレート/ADC Sincの選択は、信号レベルとノイズ耐性に基づいています(Table 26を参照)。

Table 2. Vsenseの論理チャンネルデータレート選択

論理チャンネル	ゲイン(V)	Sinc	データレート(sps)	ノイズ(uVrms)	ENOB
0	0.2X	SINC4	12000	53.6	19.8
1	0.4X	SINC4	12000	26.8	19.8
2	0.2X	SINC4	24000	76.3	19.3
3	0.4X	SINC4	24000	38.2	19.3
4	0.4X	SINC4	6000	19	20.3
5	2X	SINC4	6000	4	20.3
6	16X	SINC4 + SINC1	50	0.13	21.9

チャンネル遅延設定: チャンネル遅延は、低電力NAFE部品では16.4μs、高速NAFE部品では8.2μsのTswitch時間に従う必要があります。システムが例えばNAFE13388で設計されている場合、Table 3は各チャンネル構成に対応する読み取り時間を示します。

$$T_{\text{reading}} = T_{\text{fixed}} + T_{\text{prog\_delay}} + T_{\text{conv}}$$

ここで、 $T_{\text{fixed}} = (2 \times T_{\text{sys\_clk}}) \pm 1 \times T_{\text{sys\_clk}}$  は、第1の読み取りである。

$T_{\text{fixed}}=0$ (その後の読み取り)。

この遅延の構成では、読み取り時間( $T_{\text{reading}} = T_{\text{prog\_delay}} + T_{\text{conv}}$ )は次のようになります:

Table 3. Vsenseの論理チャンネル読み取り時間

論理チャンネル	データレート (s ps)	変換期間(s)	チャンネル遅延(s)	読み取り時間
0	12000	83.3E-6	16.5E-6	99.8E-6
1	12000	83.3E-6	16.5E-6	99.8E-6
2	24000	41.7E-6	16.5E-6	58.2E-6
3	24000	41.7E-6	16.5E-6	58.2E-6
4	6000	166.7E-6	33.4E-6	200.1E-6
5	6000	166.7E-6	33.4E-6	200.1E-6
6	50	20.0E-3	16.5E-6	20.016E-3

マルチチャンネル変換の1サイクルを完了するために要求される時間は20.70msであり、これは主に論理チャンネル6における小信号測定要件によって駆動されます。一般的な読取時間についてはTable 27を参照してください。

上記の選択は、以下のNAFEレジスタで設定されます。

- CH\_CONFIG0(信号マッピングとゲイン)
- CH\_CONFIG1(データレートとSinc)
- CH\_CONFIG2(チャンネル遅延)

Table 4. Vsenseのレジスタ構成

レジスタ名	フィールド	フィールド値[Hex]								レジスタ値[Hex]					
		CH0	CH1	CH2	CH3	CH4	CH5	CH6	CH0	CH1	CH2	CH3	CH4	CH5	CH6
CH_CONFIG0	HV_AIP[15:12]	1	7	2	2	3	7	4	1711	7131	2711	2731	3731	7391	44F1
	HV_AIN[11:8]	7	1	7	7	7	3	4							
	CH_GAIN[7:5]	0	1	0	1	1	4	7							
	HV_SEL[4]	1	1	1	1	1	1	1							
	LVSIG_IN[3:1]	0	0	0	0	0	0	0							
	TCC_OFF[0]	1	1	1	1	1	1	1							
CH_CONFIG1	CH_CAL_GAIN_OFFSET[15:12]	0	1	0	1	1	4	7	28	1028	18	1018	1038	4038	7071
	CH_THRS[11:8]	0	0	0	0	0	0	0							
	ADC_DATA_RATE[7:3]	5	5	3	3	7	7	14							
	ADC_SINC[2:0]	0	0	0	0	0	0	1							
CH_CONFIG2	CH_DELAY[15:10]	11	11	11	11	14	14	11	4400	4400	4400	4400	5000	5000	4400
	ADC_NORMAL_SETTLING[9]	0	0	0	0	0	0	0							
	ADC_FILTER_RESET[8]	0	0	0	0	0	0	0							
	CH_CHOP[7]	0	0	0	0	0	0	0							

NAFEのシステムレベルの設定オプションについては、Section 3.4の節を参照してください。上記の設定例を実装するためのコードについては、「MCU Expresso を使用した NAFE アプリケーション」で説明し、共有しています。

### 2.3 電流検知

電流検知は、センサ、抵抗読み取り、電流消費、電力計算など、電気システムのいくつかの目的に使用されます。電流信号はループ線の電圧降下の影響を受けず、電圧回路よりもノイズピックアップ/クロストークの影響を受けにくくなっています。フィールド機器がデータ収集システム(DAS)およびプログラマブルロジック制御ユニット(PLC)から遠く離れている場合、電流感知は電圧信号よりも好ましいです。NAFEは、外部精密抵抗器を介して電流を測定するためにその入力チャンネルを利用するために、外部精密抵抗器を必要とします。差動入力で最大4電流まで検知可能です。

NAFEを使用して、0バルから10バルの圧力に対応する4mA~20mAの範囲の電流の圧力送信機からの信号を検知する産業システムを考慮します。これは、2.5バル(25%)の圧力が4mAの電流によって表されることを意味します。4mA~20mAの標準電流信号は、次の理由により、産業用途で広く受け入れられています。

- 公称24VDCループ電源で使用した場合、技術者は4mA~20mAに触れてもショックを感じないため、安全です。
- シャント抵抗の選択範囲が広く、測定が容易です(1Ω~500Ω、250Ωが最も一般的です)。
- 4mA~20mAは4mAをゼロ工学単位として使用します(例: 0bar)、トラブルシューティングのための固有の「ライブゼロ」がありません。これは、DASによる0mA検出が、断線、高配線抵抗、ノイズ、トランスミッタの故障などの障害を示すことを意味します。
- 4mAは、動作するための最小3mAループ電流アナログ送信機要件および20%バイアス規則(4mA=20mAの20%)を満たします。20mAは、人間の心臓にとって危険な閾値である30mAを下回るように選択され、空気圧装置の比率(3psiから15psi)を満たすために1:5の同じ比率を有します。

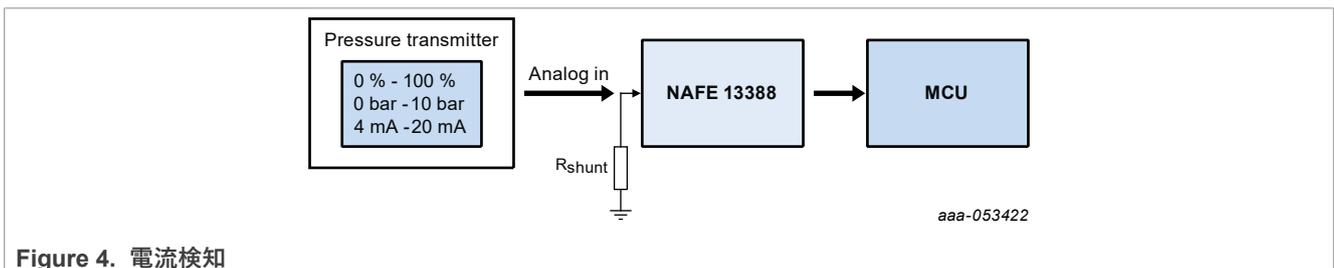


Figure 4. 電流検知

精密抵抗器を選択する際には、以下を考慮してください:

- 電流分解能
- 抵抗器の電力消費
- システムおよびデバイスの制限(たとえば、デバイスが大きなシャント抵抗を受け入れることができない)
- 抵抗両端の電圧がNAFE測定範囲内であること

電流分解能はADC電圧分解能に依存し、Rshunt値に反比例します。

$$I_{Resolution} = \frac{V_{Resolution}}{R_{Shunt}}$$

同様に、適切な電圧および電力定格のRshuntを選択するために、以下の式が使用されます: $P_{Shunt} = R_{Shunt} * I_{Max}^2$

$$V_{max} = R_{Shunt} * I_{Max}$$

標準の250、125、100ΩのRshuntを使用すると、次のシステム特性が得られます。

Table 5. システム電流要件およびオプション

必要電流(mA)	Rshuntオプション(Ω)	電圧範囲(V)	NAFEゲイン(V)	NAFE AINレンジ(V)	電圧分解能(nV)	電流分解能(nA)
4-20	250	1-5	0.4X	±5	1500	6.00
4-20	125	0.5-2.5	0.8X	±2.5	745	5.96
4-20	100	0.4-2.0	1X	±2	596	5.96

他のNAFEパラメータマッピングの設定と読み出し時間( $T_{reading} = T_{prog\_delay} + T_{conv}$ )は以下の通りです:

Table 6. 250Ωを使った電流検出のためのロジックチャンネル割り当て

論理チャンネル	シグナル	マッピング	Sinc	データレート	遅延	読み取り時間
0	入力電流	AI4P-AI4N	SINC4	12000	16.5 us	99.8 us

上記を実現するためのレジスタ構成を以下に示します。

- CH\_CONFIG0(信号マッピングとゲイン)
- CH\_CONFIG1(データレートとSinc)
- CH\_CONFIG2(チャンネル遅延)

Table 7. 250Ωを使った電流検出のためのレジスタ構成

レジスタ名	フィールド	フィールド値[Hex]	レジスタ値[Hex]
		CH0	CH0
CH_CONFIG0	HV_AIP[15:12]	4	4430
	HV_AIN[11:8]	4	
	CH_GAIN[7:5]	1	
	HV_SEL[4]	1	
	LVSIG_IN[3:1]	0	
	TCC_OFF[0]	0	
CH_CONFIG1	CH_CAL_GAIN_OFFSET[15:12]	1	1028
	CH_THRS[11:8]	0	
	ADC_DATA_RATE[7:3]	5	
	ADC_SINC[2:0]	0	
CH_CONFIG2	CH_DELAY[15:10]	11	4400
	ADC_NORMAL_SETTLING[9]	0	
	ADC_FILTER_RESET[8]	0	
	CH_CHOP[7]	0	

NAFEのシステムレベルの設定オプションについては、[Section 3.4](#)を参照してください。上記のアプリケーション設定を実装するためのコードについては、「MCU Expresso を使用した NAFE アプリケーション」で説明し、共有しています。

## 2.4 温度センシング

温度は、産業および工場環境で測定される最も一般的な物理量です。電気システムでは、統合ICセンサ(NAFE13388など)から外部抵抗温度検出器(RTD)、熱電対、サーミスタまで、さまざまな種類の温度センサを使用できます。

RTDとサーミスタはともに温度によって抵抗値が変化する能動型の計測素子ですが、前者は金属(プラチナや銅など)を巻いたもの、後者は金属酸化物半導体を容器に押し込んだものです。一方、熱電対は異種金属の独自のペアリングを利用して温度を感知する接点を作り、温度変化に応じて電圧差(ゼーベック効果)を生じさせます。3つの外部温度センサの相対的な比較を以下に示します。

Table 8. サーミスタ、RTD、熱電対の相対比較

機能	サーミスタ	RTD	熱電対
感度	高	中	低
温度レンジ	低(-40°C~250°C)	中(-240°C~650°C)	高(-210°C~1760°C)
精度	中	高	中
線形性	低	高	中

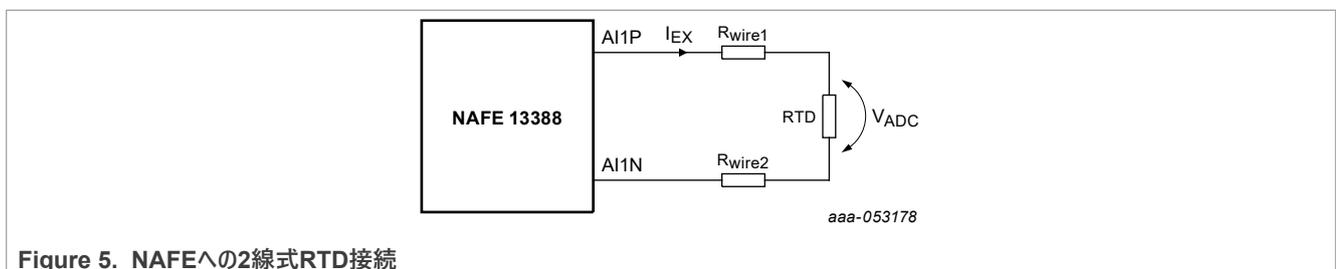
Table 8. サーミスタ、RTD、熱電対の相対比較...continued

機能	サーミスタ	RTD	熱電対
安定度	低	高	中
自己発熱	高	低	該当なし
コスト	中	高	低
耐久性	低	中	高

**RTD:** RTDは、2線、3線、または4線構成で提供されます。抵抗を検知するためには「シグナルコンディショニング回路」と呼ばれる外部回路が必要であり、これらのタイプのいくつかをNAFEを用いて以下に説明します。

### 2.4.1 2線式RTD

これは最も単純で安価な構成であり、RTDを通して注入された既知の電流とRTDの両端の電圧が測定されます。



長所:

- 追加の受動コンポーネントは必要としない。
- より安価なRTDで、2本のワイヤーしかない。
- NAFEの2チャンネルのみ必要とする。

短所:

- 電流の注入と電圧の読み出しに同じ端子を使用するため、素子抵抗にリード線抵抗を加算すると、測定が不正確になる(高温報告)。そのため、2線式の用途では、リード長を最短に保つことを推奨する。

2.4.2 2線式RTDのNAFE構成

NAFE13388は、電圧または電流の予め定義されたレベルにプログラムすることができるVIEX(電圧電流励起源)を統合しています。VIEXは外部センサを励起するために使用でき、ソースの大きさ、極性、出力ピンについてはCH\_CONFIG3レジスタを使用して以下のように設定できます:

- 励起源、電流または電圧の選択(VIEX\_VI)
- 励起極性(VIEX\_POL)
- 励起V/I源の大きさ(VIEX\_MAG)
- 出力ピンAIxP(VIEX\_AIP\_EN)
- 出力ピンAIxN(VIEX\_AIN\_EN)

励起源はNTCを励起する電流源でなければなりません。励起の大きさは、ノイズの問題を回避するのに十分高く、NTCの自己加熱を回避するのに十分低くなければならず、これによって750uAは良好なトレードオフとなります。

VIEX構成:

Table 9. 論理チャンネルVIEX選択

論理チャンネル	VIEXパラメータ	値
0	Source	Current
	Polarity	Positive
	Magnitude	750 uA
	AIxP	AI1P
	AIxN	None

NAFEアナログ入力チャンネルの設定:

Table 10. 論理チャンネルアナログ入力選択

論理チャンネル	マッピング	Sinc	データレート	遅延	読み取り時間
0	AI1P ~ AI1N	SINC4 + 1	50	0	20 ms

上記を実現するためのレジスタ構成を以下に示します。

- CH\_CONFIG0(信号マッピングとゲイン)
- CH\_CONFIG1(データレートとSinc)
- CH\_CONFIG2(チャンネル遅延)
- CH\_CONFIG3 (VIEX)

Table 11. 2線式RTDのNAFE構成

レジスタ名	フィールド	フィールド値[Hex]	レジスタ値[Hex]
		CH0	CH0
CH_CONFIG0	HV_AIP[15:12]	1	11B1
	HV_AIN[11:8]	1	
	CH_GAIN[7:5]	5	
	HV_SEL[4]	1	
	LVSIG_IN[3:1]	0	
	TCC_OFF[0]	1	
CH_CONFIG1	CH_CAL_GAIN_OFFSET[15:12]	5	50B1
	CH_THRS[11:8]	0	
	ADC_DATA_RATE[7:3]	16	

Table 11. 2線式RTDのNAFE構成...continued

レジスタ名	フィールド	フィールド値[Hex]	レジスタ値[Hex]
		CH0	CH0
	ADC_SINC[2:0]	1	
CH_CONFIG2	CH_DELAY[15:10]	B	2E80
	ADC_NORMAL_SETTLING[9]	1	
	ADC_FILTER_RESET[8]	0	
	CH_CHOP[7]	1	
CH_CONFIG3	VIEX_VI[15]	1	B008
	VIEX_POL[14]	0	
	VIEX_MAG[13:10]	C	
	VEXC_EN[9]	0	
	OPEN_DET_CURRENT[8]	0	
	VIEX_CHOP[6]	0	
	VIEX_AIP_EN[5:3]	1	
	VIEX_AIN_EN[2:0]	0	

RTDを流れる電流値は既知であるため、NAFEでRTDの両端の電圧を測定した後、抵抗値を計算できます(R=V/I)。抵抗値(NAFEで測定)を温度値に変換する伝達関数を以下に示します。

$$R(t) = R_0[1 + At + Bt^2 + C(t - 100)t^3]$$

上記関数の定数(R0、A、B、C)は、すべてセンサ品番に依存します。以下は、Honeywell(HEL-705-T-0-12-00)のセンサの値です。

- R<sub>0</sub> = 100 [Ω]
- A = 3.908 \* 10<sup>-3</sup> [°C<sup>-1</sup>]
- B = -5.775 \* 10<sup>-7</sup> [°C<sup>-2</sup>]
- C = -4.183 \* 10<sup>-12</sup> [°C<sup>-4</sup>] if t < 0
- C = 0 if t ≥ 0

いくつかの簡略化と線形化を行うことにより、0°C~100°Cの良好な温度に対する方程式を得ることができます。

$$T(r) = \frac{r - R_0}{AR_0}$$

ここで、

- R<sub>0</sub> = 100 [Ω]
- A = 3.908 \* 10<sup>-3</sup> [°C<sup>-1</sup>]
- rはセンサ上で読み取った抵抗値

NAFE内部VIEX電源を使って既知の電流をRTDに流し、その電圧降下をNAFE ADCチャンネルを使って測定できます。この測定電圧を使ってセンサ抵抗を計算し、温度換算式を以下のように書き直すことができます。

$$T(r) = \frac{\frac{V_{ADC}}{I_{ex}} - R_0}{AR_0}$$

ここで、

- $R_0 = 100 [\Omega]$
- $A = 3.908 * 10^{-3} [^{\circ}\text{C}^{-1}]$
- $V_{ADC}$  は、NAFE ADCによって読み取られた電圧です。
- $I_{ex}$  は、NAFE VIEXによって供給される励起電流です。

上記のアプリケーション設定を実装するためのコードとアルゴリズムについては、「MCU Expresso を使用した NAFE アプリケーション」で説明し、共有しています。

### 2.4.3 3線式RTD

2線構成に第3線を追加することは、すべてのリード線が同じ長さで構成であり、したがって同じ抵抗である場合に、平均リード線抵抗を効果的にキャンセルすることができます。

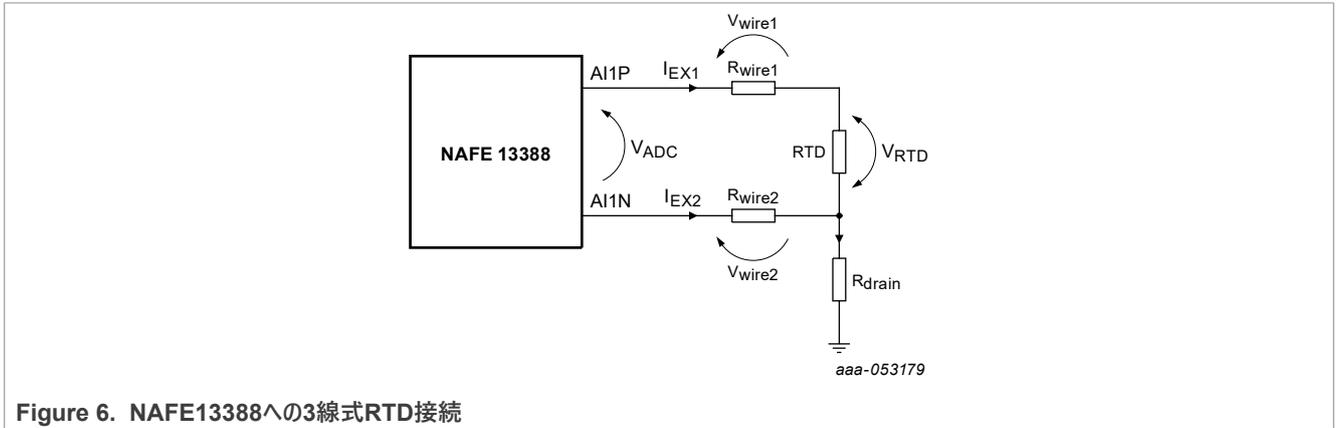


Figure 6. NAFE13388への3線式RTD接続

$R_{wire1}$ と $R_{wire2}$ は、2つの成分の合計です。

- PCB(プリント回路基板)ルーティング
- センサケーブル

$R_{drain}$ は、 $I_{ex1}$ と $I_{ex2}$ の和をグラウンドを通してドレインするのに有用なワイヤ抵抗(第3ケーブル)です。精密抵抗に置き換えると、NAFE ADCP-ADCNチャンネルを使って電流を正確に読み出すことができます。

$$V_{ADC} = V_{wire1} + V_{RTD} - V_{wire2}$$

次のように仮定した場合、

$$R_{wire1} = R_{wire2} \quad \text{AND} \quad I_{ex1} = I_{ex2}$$

$V_{ADC}$ の式は次のようになります。

$$V_{ADC} = V_{RTD}$$

長所:

- リード線抵抗キャンセルによる正確なRTD測定
- 特に測定ユニットとセンサが離れている場合、4線式よりもコスト効率が高い

短所:

- 各ノードの抵抗値に合わせて、レイアウトや部品選択などのソリューション設計に注意する。
- 追加のマッチング電流源 $-I_{ex1}$ および $I_{ex2}$ 。

#### 2.4.4 3線式RTDのNAFE構成

VIEXは、次のような3線構成で、AI1PとAI2Nの2つのチャンネルにルーティングできます。

Table 12. 3線式RTDの論理チャンネルVIEX選択

論理チャンネル	VIEXパラメータ	値
0	Source	Current
	Polarity	Positive
	Magnitude	750 uA
	AIxP	AI1P
	AIxN	AI1N

3線式RTDアプリケーションのNAFEレジスタの設定を以下に示します。

- CH\_CONFIG0(信号マッピングとゲイン)
- CH\_CONFIG1(データレートとSinc)
- CH\_CONFIG2(チャンネル遅延)
- CH\_CONFIG3 (VIEX)

Table 13. 3線式RTDのNAFE構成

レジスタ名	フィールド	フィールド値[Hex]	レジスタ値[Hex]
		CH0	CH0
CH_CONFIG0		1	11B1
		1	
	CH_GAIN[7:5]	5	
		1	
		0	
	TCC_OFF[0]	1	
CH_CONFIG1	CH_CAL_GAIN_OFFSET[15:12]	5	50B1
	CH_THRS[11:8]	0	
	ADC_DATA_RATE[7:3]	16	
	ADC_SINC[2:0]	1	
CH_CONFIG2	CH_DELAY[15:10]	B	2E80
	ADC_NORMAL_SETTLING[9]	1	
	ADC_FILTER_RESET[8]	0	
	CH_CHOP[7]	1	

Table 13. 3線式RTDのNAFE構成...continued

レジスタ名	フィールド	フィールド値[Hex]	レジスタ値[Hex]
		CH0	CH0
CH_CONFIG3		1	B009
		0	
		C	
	VEXC_EN[9]	0	
	OPEN_DET_CURRENT[8]	0	
	VIEX_CHOP[6]	0	
		1	
	VIEX_AIN_EN[2:0]	1	

NAFEのシステムレベルの設定オプションについては、[Section 3.4](#)を参照してください。上記のアプリケーション設定を実装するためのコードとアルゴリズムについては、「MCU Expresso を使用した NAFE アプリケーション」で説明し、共有しています。

2.4.5 4線式RTD

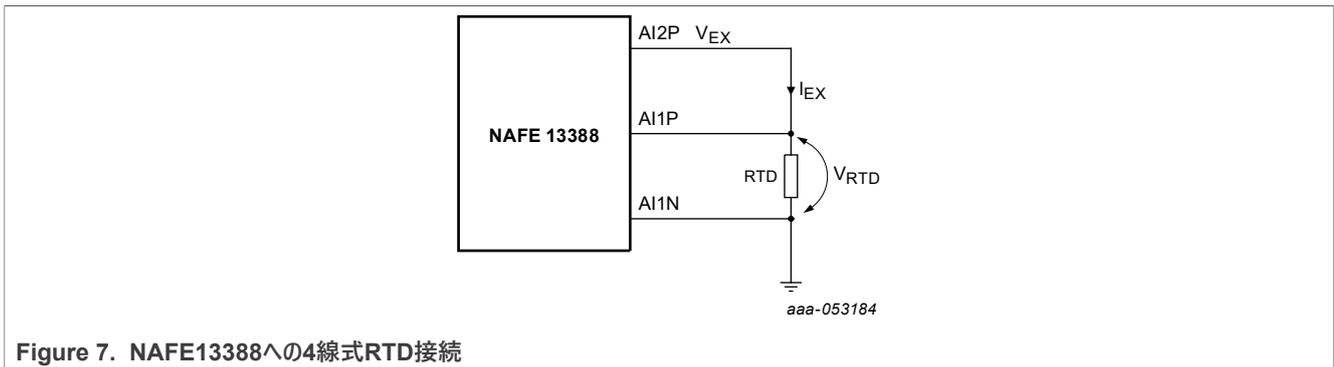


Figure 7. NAFE13388への4線式RTD接続

4線接続では、接続ケーブルの抵抗と励起電流のミスマッチの非対称性が補償されるため、測定結果に対するケーブルの影響を排除することができます。

この構成では、[Figure 7](#)に示すように、少なくとも3つのNAFE入力ピンが必要です。1本のピンを使ってRTDに電流を注入し、2本のピンを使ってRTDの電圧を検知します。測定経路に電流が流れないため、2線式や3線式よりも正確に測定することができます。

長所:

- 3種類のRTDワイヤ構成の中で最も正確な測定
- より単純なソリューション

短所:

- 1つのソースチャンネルと2つの測定チャンネルを必要とする
- 4本のケーブルを使用するRTDは、2線式および3線式のソリューションと比較して高価

2.4.6 4線式RTDのNAFE構成

4線式RTDのVIEX構成:

Table 14. 4線式RTDの論理チャンネルVIEX選択

論理チャンネル	VIEXパラメータ	値
0	Source	Current
	Polarity	Positive
	Magnitude	750 uA
	AIxP	AI2P
	AIxN	None

4線式RTDアプリケーションのNAFEレジスタの設定を以下に示します。

- CH\_CONFIG0(信号マッピングとゲイン)
- CH\_CONFIG1(データレートとSinc)
- CH\_CONFIG2(チャンネル遅延)
- CH\_CONFIG3 (VIEX)

Table 15. 4線式RTDのNAFE構成

レジスタ名	フィールド	フィールド値[Hex]	レジスタ値[Hex]
		CH0	CH0
CH_CONFIG0	HV_AIP[15:12]	1	11B1
	HV_AIN[11:8]	1	
	CH_GAIN[7:5]	5	
	HV_SEL[4]	1	
	LVSIG_IN[3:1]	0	
	TCC_OFF[0]	1	
CH_CONFIG1	CH_CAL_GAIN_OFFSET[15:12]	5	50B1
	CH_THRS[11:8]	0	
	ADC_DATA_RATE[7:3]	16	
	ADC_SINC[2:0]	1	
CH_CONFIG2	CH_DELAY[15:10]	B	2E80
	ADC_NORMAL_SETTLING[9]	1	
	ADC_FILTER_RESET[8]	0	
	CH_CHOP[7]	1	
CH_CONFIG3	VIEX_VI[15]	1	B010
	VIEX_POL[14]	0	
	VIEX_MAG[13:10]	C	
	VEXC_EN[9]	0	
	OPEN_DET_CURRENT[8]	0	
	VIEX_CHOP[6]	0	
	VIEX_AIP_EN[5:3]	2	
VIEX_AIP_EN[2:0]	0		

上記のアプリケーション設定を実装するためのコードとアルゴリズムについては、「MCU Expresso を使用した NAFE アプリケーション」で説明し、共有しています。

## 2.4.7 NAFE13388 GUIを使用した4線式RTD測定

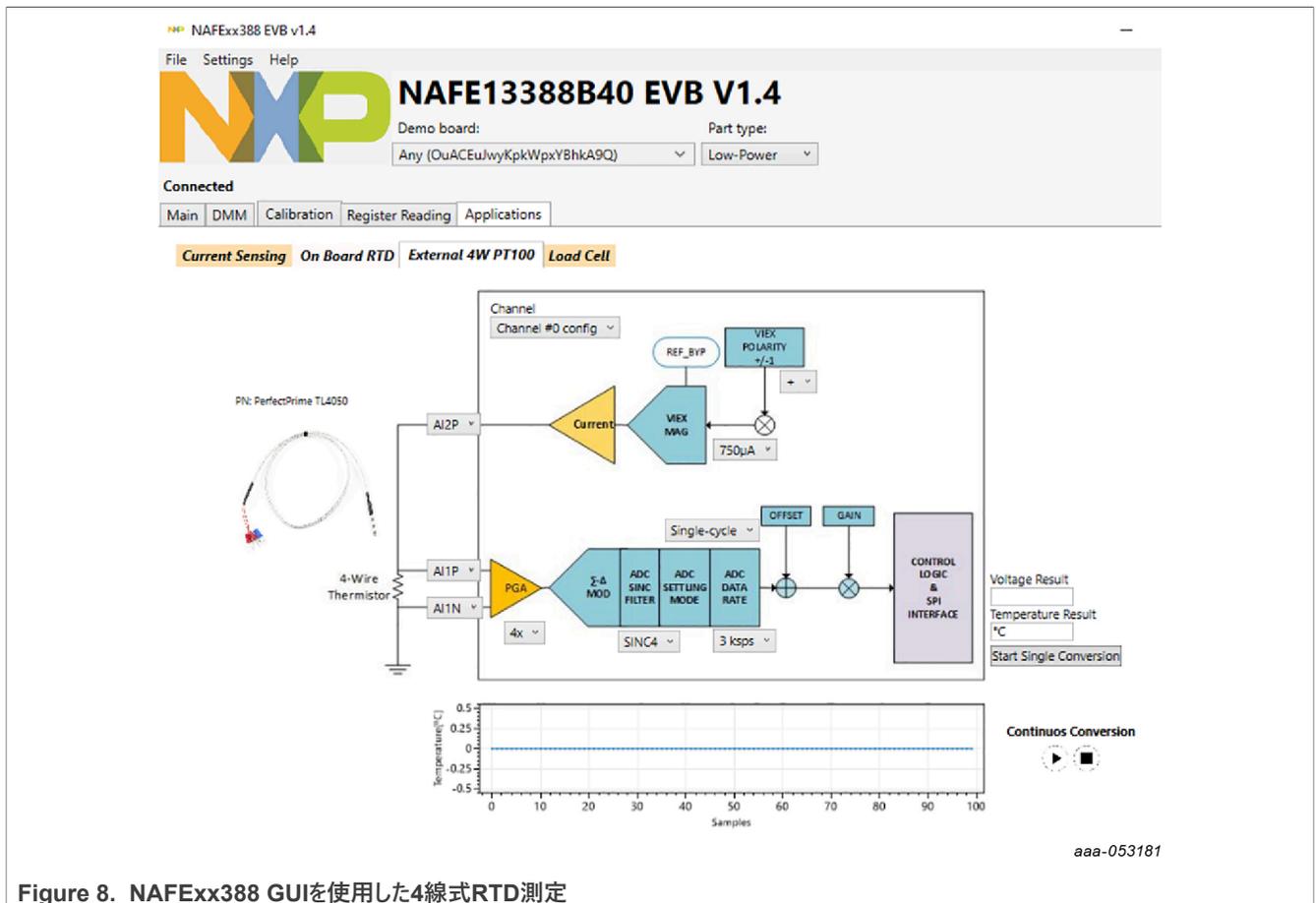


Figure 8. NAFE13388 GUIを使用した4線式RTD測定

NAFE13388-EVB GUI([NAFE13388-EVB 8チャンネルユニバーサル入力AFE評価ボード | NXPセミコンダクターズ](#)で入手可能)には、電流、温度、ロードセルセンシングアプリケーションのための簡単で高速なプロトタイプを提供するアプリケーションタブがあります。NAFE13388 GUIからのFigure 8は、4線式RTDアプリケーションを示します。ユーザは、チャンネルの選択をEVB(評価用ボード)上の物理的な4線式RTD接続と一致させる必要があります。チャンネルの構成とセンサ転送機能は、温度の読み取り値を摂氏で報告するためにソフトウェアに組み込まれています。ユーザは、単一の変換を行うことも、連続的な変換プロット(100サンプルごと)をチェックして、動的な温度変化を確認することもできます。たとえば、最初は室温で、カップ1杯の水に浸したRTDプローブなどです。

## 2.4.8 熱電対

熱電対とは、ゼーベック効果を利用して温度を電気量(電圧)に変換するために用いられる熱センサです。熱電対は2種類の金属を接合して形成されます。接合点は温度感知接合( $T_{TC}$ )であり、開放端(冷接点)はディファレンシャル電圧( $V_{TC}$ )を測定し、実際には感知接合の温度を測定するために使用されます。

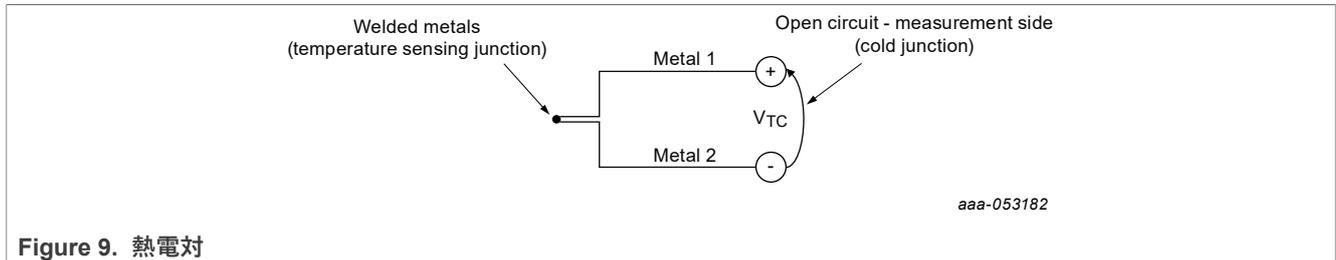


Figure 9. 熱電対

冷接点で読み取られる電圧は、2つの側面間の温度差の関数です。このため、熱電対による測定は温度の絶対値ではなく、冷接点の温度に関係します。

熱電対には様々な種類があります。材料の各ペアは、温度範囲、線形性、電圧/温度係数に関して異なる挙動を示すため、使用する材料が異なります。

電圧値を温度値に変換できる伝達関数は、複雑な多項式関数です。国立標準技術研究所(National Institute of Standards and Technology、NIST)は、変換関数を線形化するための使いやすいルックアップテーブルを提供します。Table 16は、クロムとアルミニウムのペアで構成されるKタイプのサーモカップルに適用されます。

Table 16. NIST変換表

タイプK熱電対に関するITS-90表											
°C	0	-1	-2	-3	-4	-5	-6	-7	-8	-9	-10
熱電電圧(mV)											
-270	-6.458										
-260	-6.441	-6.444	-6.446	-6.448	-6.450	-6.452	-6.453	-6.455	-6.456	-6.457	-6.458
-250	-6.404	-6.408	-6.413	-6.417	-6.421	-6.425	-6.429	-6.432	-6.435	-6.438	-6.441
-240	-6.344	-6.351	-6.358	-6.364	-6.370	-6.377	-6.382	-6.388	-6.393	-6.399	-6.404
-230	-6.262	-6.271	-6.280	-6.289	-6.297	-6.306	-6.314	-6.322	-6.329	-6.337	-6.344
-220	-6.158	-6.170	-6.181	-6.192	-6.202	-6.213	-6.223	-6.233	-6.243	-6.252	-6.262
-210	-6.035	-6.048	-6.061	<b>-6.074</b>	-6.087	-6.099	-6.111	-6.123	-6.135	-6.147	-6.158
-200	-5.891	-5.907	-5.922	-5.936	-5.951	-5.965	-5.980	-5.994	-6.007	-6.021	-6.035

Table 16は、冷接点で測定された電圧とセンシング接点の温度との関係を示しています。送信側接点の温度は、コールドジョイントが0°Cであると仮定した場合、測定電圧と一致するセルの列ヘッダーと行ヘッダーの線形和となります。例えば、測定値-6.074mV(表中の太字)は、温度-210+(-3)=-213°Cに対応します。

その代わりに、冷接点が制御された/既知の温度にない場合、別のセンサ(RTD、サーミスタ、またはダイオード)を使用して、冷接点におけるその温度を監視しなければなりません。正確な温度測定には、次の手順が必要です。

1. 冷接点温度( $T_{CJ}$ )を別のセンサで読み取る。
2. NISTテーブルを使用して $T_{CJ}V_{CJ}$ に変換する( $V_{CJ}$ は読み取られた温度に対応する電圧である)。
3. 冷接点電位差( $V_{TC}$ )を読み取る。
4.  $V_{TC}$ と $V_{CJ}$ を合算する
5. 前の点で得られた和を用いて、NIST表から対応する温度を求める。この合成温度は現在、0°Cを基準とした絶対温度である。

2.4.8.1 NAFEリファレンスRTD搭載+熱電対センシングの概略例

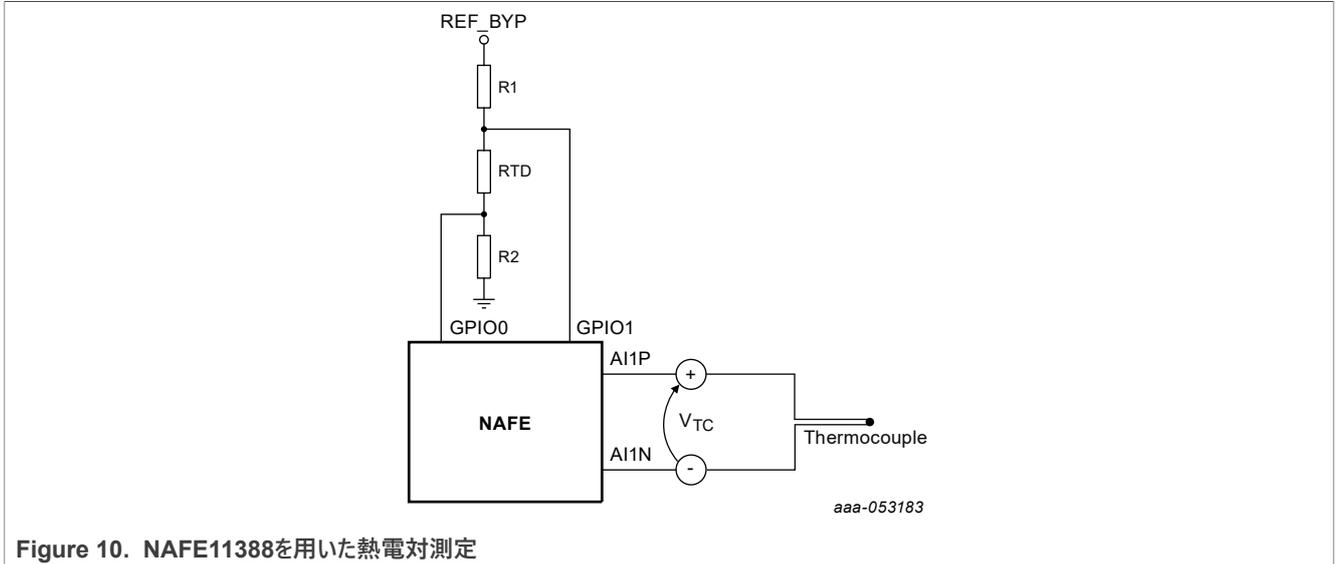


Figure 10. NAFE11388を用いた熱電対測定

このケースでは、NAFEの次の機能が使用されます。

- RTD参照温度を読み出すための補助差動入力(GPIO 0~GPIO 1)。
- RTD分圧器を励起するためのバッファリングされた基準電圧(REF\_BYP)。
- 冷接点の両端の $V_{TC}$  電位差を読み取るためのアナログ入力(AI1P-AI1N)。

2.4.8.2 NAFE構成-リファレンスRTD搭載+熱電対センシング

この設定では、次の要件について考慮する必要があります。

- 2つのチャンネルを設定する必要があります。1つはRTD用、もう1つは熱電対用です。
- マルチチャンネル変換が必要です。
- GPIO0-GPIO1は、NAFEの追加機能です。これはPGAなしの低電圧チャンネルです。
- 測定レベルがサブmV以下であるため、VTC変換は低ノイズである必要があります。

以下の表は、GPIO 0~GPIO 1と上記熱電対のロジックチャンネルの割り当てと設定を示しています。

Table 17. 熱電対の論理チャンネル割り当て

論理チャンネル	シグナル	マッピング
0	RTD	GPIO0-GPIO1
1	熱電対	AI1P ~ AI1N

入力レンジに基づくゲイン設定:

Table 18. 熱電対の論理チャンネルゲインとデータレートの選択

論理チャンネル	入力シグナル(mV)	ゲイン(V/V)	NAFE AINレンジ(V)	Sinc	データレート(Sps)	ノイズ(uVrms)
0	9 ~ 150	8X	±0.250	SINC4 + SINC4	60	0.2
1	-6.4 ~ 54.9	16X	±0.125	SINC4 + SINC4	60	0.14

シグナル帯域幅とノイズに基づくデータレート/ADC sinc設定(Section 5のTable 28を参照):

この遅延の構成では、読み取り時間( $T_{\text{reading}} = T_{\text{prog\_delay}} + T_{\text{conv}}$ )は次のようになります:

Table 19. 熱電対の論理チャンネル読み取り時間

論理チャンネル	データレート	変換期間	遅延	読み取り時間
0	60	16.6 ms	111 us	16.711 ms
1	60	16.6 ms	111 us	16.711 ms

マルチチャンネル変換の1サイクルを完了するための要求時間は34msです。

以下は、熱電対測定を実装するためのレジスタ設定です。

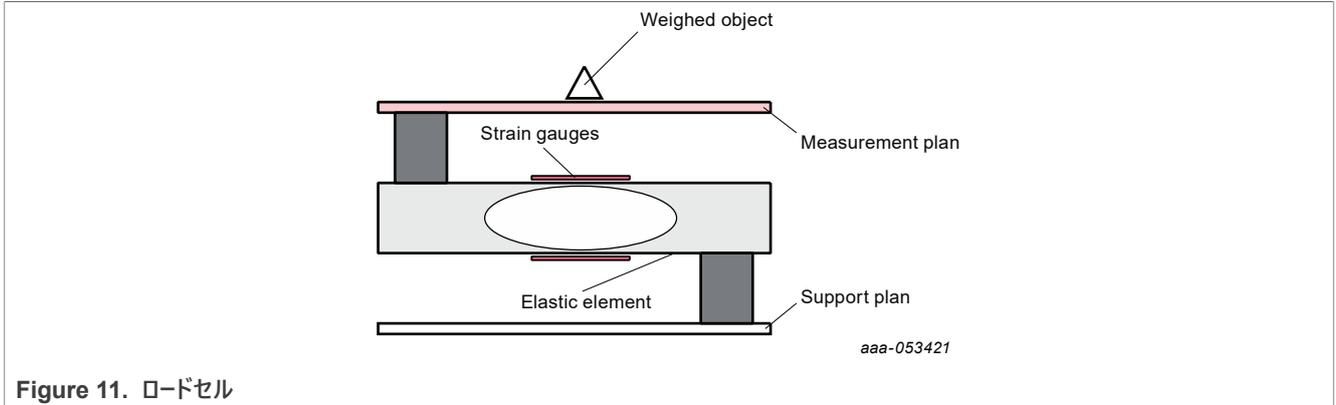
- CH\_CONFIG0(信号マッピングとゲイン)
- CH\_CONFIG1(データレートとSinc)
- CH\_CONFIG2(チャンネル遅延)

Table 20. 熱電対測定のレジスタ構成

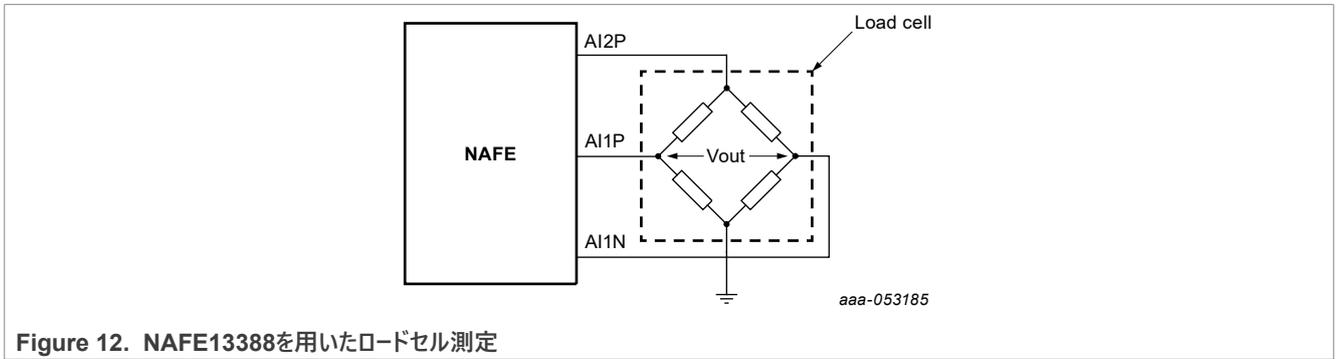
レジスタ名	フィールド	フィールド値[Hex]		レジスタ値[Hex]	
		CH0	CH1	CH0	CH1
CH_CONFIG0	HV_AIP[15:12]	A	1	AAC3	11F1
	HV_AIN[11:8]	A	1		
	CH_GAIN[7:5]	6	7		
	HV_SEL[4]	0	1		
	LVSIG_IN[3:1]	1	0		
	TCC_OFF[0]	1	1		
CH_CONFIG1	CH_CAL_GAIN_OFFSET[15:12]	6	7	6094	7094
	CH_THRS[11:8]	0	0		
	ADC_DATA_RATE[7:3]	12	12		
	ADC_SINC[2:0]	4	4		
CH_CONFIG2	CH_DELAY[15:10]	1A	1A	6800	6800
	ADC_NORMAL_SETTLING[9]	0	0		
	ADC_FILTER_RESET[8]	0	0		
	CH_CHOP[7]	0	0		

## 2.5 荷重変換器(ロードセル)

ロードセルは、重量などの機械的な力を測定可能な量に変換するために使用する変換装置です。ロードセルは通常、弾性要素上に配置されたひずみゲージで構成されます。弾性体は通常鋼でできているので丈夫ですが、ある程度の弾力性もあります。ばね要素の微小な変化は、ひずみゲージで検出できます。次に、ひずみゲージのひずみは、電子機器(ADC+励起回路)によって変換され、重量が決定されます。



2.5.1 NAFE励起+センシングの概略例



ロードセルでは、抵抗値を電圧値に変換するために、ホイートストンブリッジ構造が用いられます。ホイートストンアーキテクチャは、抵抗の代わりに歪みゲージを利用します。NAFEのAI2Pは出力電圧として使用され、AI1PとAI1Nはブリッジの電圧を検知するために使用されます。

2.5.2 NAFE構成

このアプリケーションは、電圧を検知するために、電圧励起源と2つの入力チャンネルが必要です。センス電圧範囲はmVのオーダーになるため、低速データレートと高ゲイン構成を使用して、読み取りの品質を向上させます。

他のNAFEパラメータマッピングの設定:

Table 21. ロードセルの論理チャンネル割当て

論理チャンネル	シグナル	マッピング
0	Bridge Vout	AI1P ~ AI1N

Table 22. ロードセルの論理チャンネルデータレート選択

論理チャンネル	Sinc	データレート	遅延	読み取り時間
0	SINC4 + SINC1	100	16.5 us	10.016 ms

読み取り時間( $T_{reading} = T_{prog\_delay} + T_{conv}$ )は次のとおりです:

VIEXの構成を要約すると:

Table 23. ロードセルの論理チャンネルVIEX選択

論理チャンネル	VIEXパラメータ	値
0	Source	Voltage
	Polarity	Positive
	Magnitude	6 V
	AIxP	AI2P
	AIxN	None

上記を実現するためのレジスタ構成を以下に示します。

- CH\_CONFIG0(信号マッピングとゲイン)
- CH\_CONFIG1(データレートとSinc)
- CH\_CONFIG2(チャンネル遅延)
- CH\_CONFIG3 (VIEX)

Table 24. ロードセルのレジスタ構成

レジスタ名	フィールド	フィールド値[Hex]	レジスタ値[Hex]
		CH0	CH0
CH_CONFIG0	HV_AIP[15:12]	1	11F1
	HV_AIN[11:8]	1	
	CH_GAIN[7:5]	7	
	HV_SEL[4]	1	
	LVSIG_IN[3:1]	0	
	TCC_OFF[0]	1	
CH_CONFIG1	CH_CAL_GAIN_OFFSET[15:12]	7	70A4
	CH_THRS[11:8]	0	
	ADC_DATA_RATE[7:3]	14	
	ADC_SINC[2:0]	1	
CH_CONFIG2	CH_DELAY[15:10]	B	2E80
	ADC_NORMAL_SETTLING[9]	1	
	ADC_FILTER_RESET[8]	0	
	CH_CHOP[7]	1	
CH_CONFIG3	VIEX_VI[15]	0	3410
	VIEX_POL[14]	0	
	VIEX_MAG[13:10]	D	
	VEXC_EN[9]	0	
	OPEN_DET_CURRENT[8]	0	
	VIEX_CHOP[6]	0	
	VIEX_AIP_EN[5:3]	2	
	VIEX_AIN_EN[2:0]	0	

上記のアプリケーション設定を実装するためのコードとアルゴリズムについては、「MCU Expresso を使用した NAFE アプリケーション」で説明し、共有しています。

正確な測定を行うには、次の2つの手順を実行します。

- オフセット補正
- 換算係数計算

オフセット補正は、重量計に何も載せずに電圧測定を行うことです。この変換から得られる計測値がオフセット(O)です。

オフセット測定後、既知の重量(P)の体重計に物体を乗せ、変換して結果(K)を保存します。

キャリブレーション係数:

$$Coeff = \frac{P}{K-O}$$

ここで、ADC( $V_{ADC}$ )によって読み取られた電圧変換が与えられると、任意の重みを測定することができます。

$$Weight = Coeff * (V_{ADC} - O)$$

### 2.5.3 NAFE GUIの例-NAFExx388 GUIを使用した重量スケール

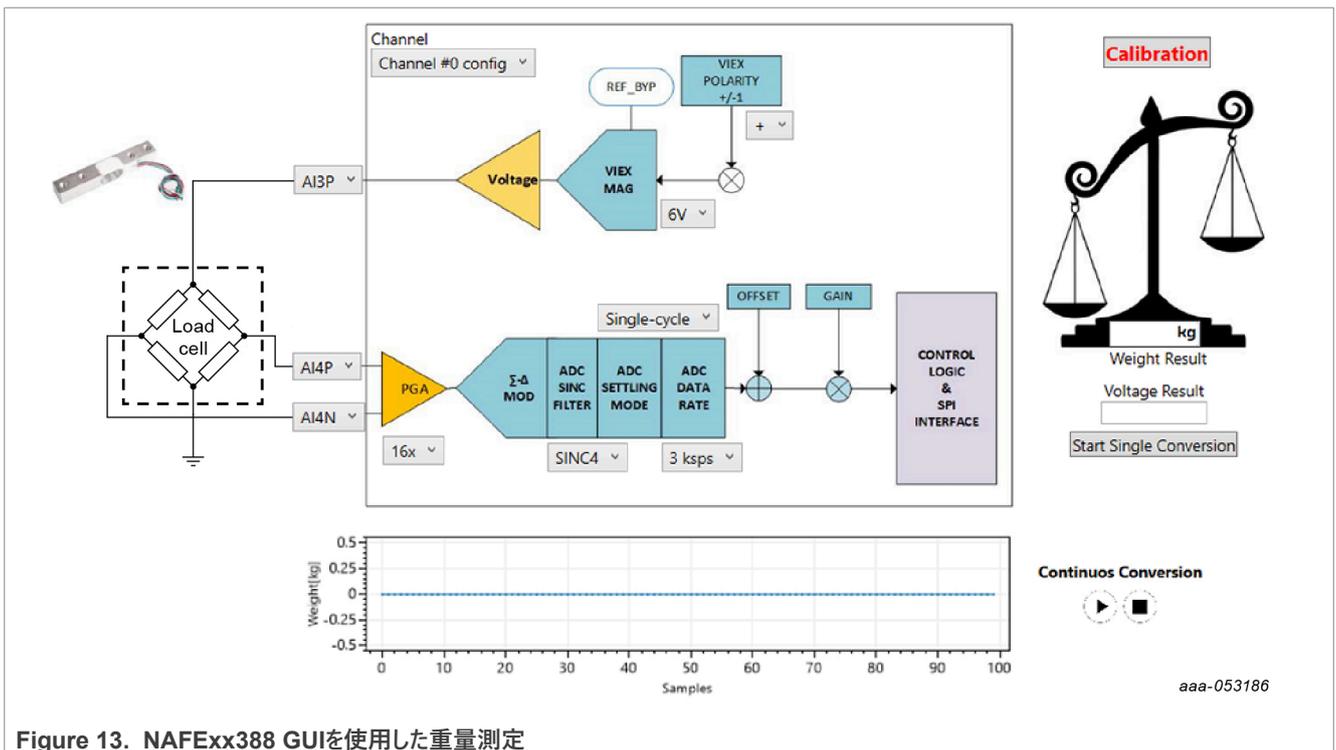


Figure 13. NAFExx388 GUIを使用した重量測定

NXP GUIのスニペットをFigure 13に示します。物理的なロードセル接続に合わせてグラフィカルユーザインタフェースで正しいチャンネルを選択します。グラフィカルユーザインタフェースでは、自動計算とキャリブレーションを使用して電圧と温度換算を設定できます。

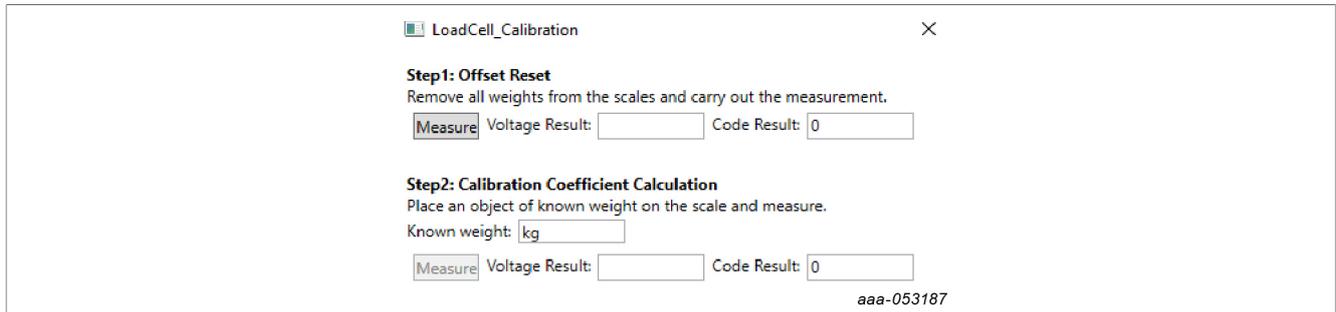


Figure 14. ロードセルキャリブレーション

[Calibration(キャリブレーション)]ボタン(赤でハイライト表示)をクリックして、上記の2つの手順を実行し、システムの測定精度を調整します。キャリブレーションが完了すると、[Calibration(キャリブレーション)]ボタンが黒に変わり、システムが校正されたことを示します。これで、ユーザは1回の測定または連続測定を実行できます。

## 2.6 NAFE GPIOによる外部コンポーネントの管理

NAFEには、一般的なアプリケーションにおける監視と制御のほとんどのニーズを満たす10個のGPIOが付属しています。

GPIOは入出力として動作し、外部コンポーネントピンを監視したり、リレー、入力ピン、その他のシリコンデバイスなどの外部コンポーネントを管理したりするのに便利です。

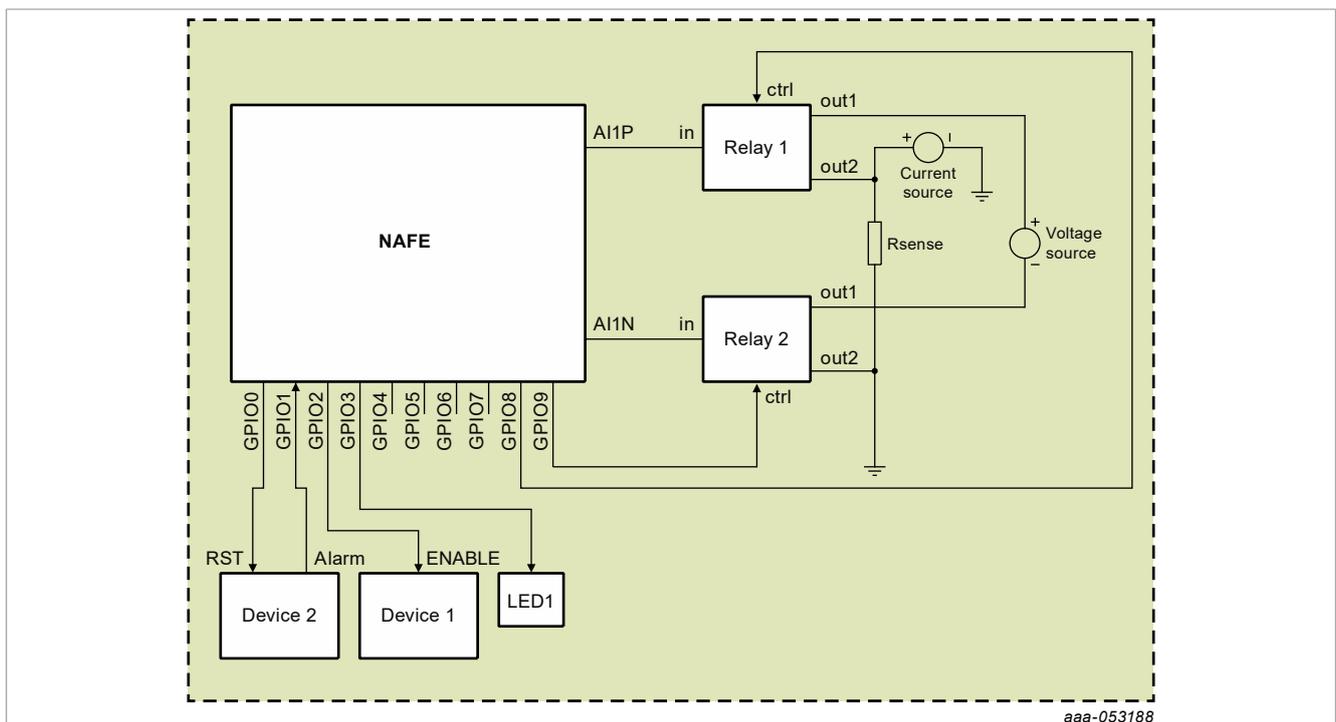


Figure 15. NAFE GPIO使用例

### 3 機能の説明

#### 3.1 オーバーロードとオーバーレンジ

NAFEは、類似しているが異なる2つの異なるアラーム、オーバーロードとオーバーレンジを検出できます。

- オーバーロードはADCコードの飽和に関連しているため、このアラームはADCが最大コードに達したときにトリガされます。
- オーバーレンジはADCコードにも関係しますが、トリガ値はレジスタCH\_CONFIG5とCH\_CONFIG6でユーザ定義されます。

OVRLOADは、ADCのワードオーバーフローに関連するため、差動モードでのみ動作します(シングルエンドモードではADCのレンジの半分が使用されます)。

ADCの範囲内値を監視するためにユーザにとって有用なアラームは、レジスタCH\_CONFIG5およびCH\_CONFIG6で定義されたUNDRNGフラグおよびOVRNGフラグです。ADCの全レンジを使う場合、CH\_CONFIG5およびCH\_CONFIG6レジスタを以下のように設定します。

- シングルエンドモード
  - OVRNG = 0x3FFFFFF
  - UNRNG = 0xBFFFFFF
- デイファレンシャルモード
  - OVRNG = 0xFFFFFFFF
  - UNRNG = 0x0

それにもかかわらず、ユーザは他の値を選択する自由があります。例えば、ユーザが全行程の5%前に停止したい場合、レジスタCH\_CONFIG5およびCH\_CONFIG6の値を適切に変更することによって行うことができます。

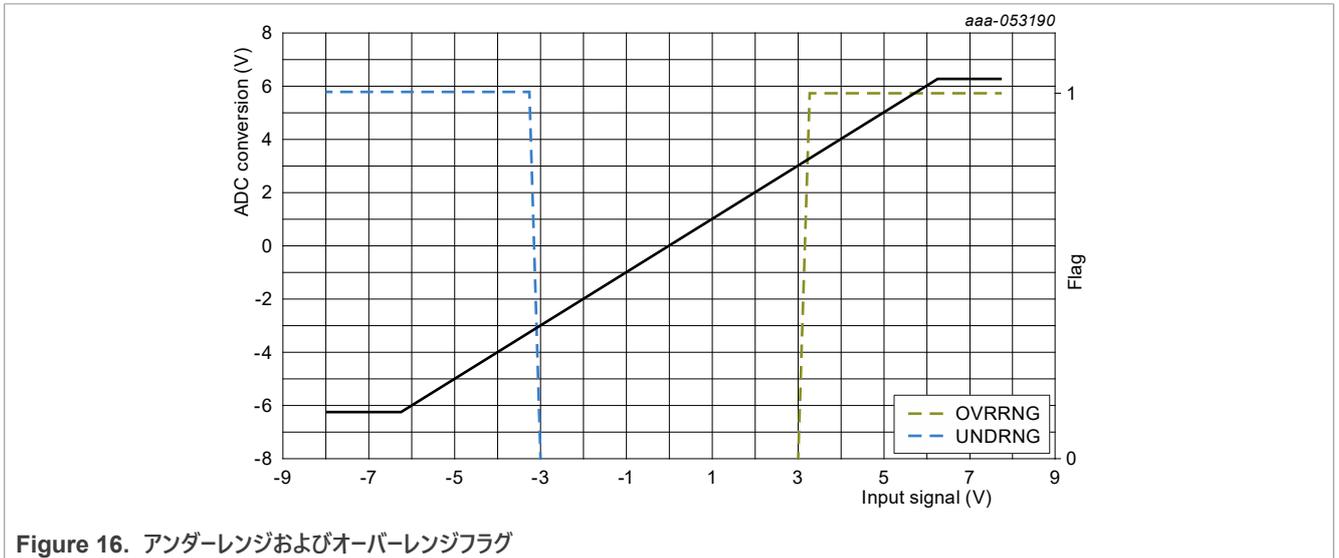


Figure 16. アンダーレンジおよびオーバーレンジフラグ

#### 3.2 ゲイン設定に関するキャリブレーションポイント

NAFEは利得/オフセット係数に基づくオンチップ計算を有します。つまり、特定のレジスタ内にキャリブレーション係数を保存できるということです。NAFEはこれらの変換値を使用して出力コードを調整します。

これらの係数は32個の異なるレジスタに保存され、ゲインとオフセットはそれぞれ16個のレジスタに保存されます。デバイスの電源投入またはリセット時に、NVM(不揮発性メモリ)に格納されている工場で校正された係数が、プリセットレジスタ(利用可能な場合に)ロードされます。ユーザは、必要に応じて、異なるキャリブレーション係数で上書きすることができます。ゲインおよびオフセット係数は、チャンネルゲイン設定に依存します。

以下のポイントは、PGAゲイン設定ごとにNXPによって事前に割り当てられ、それぞれのゲインレンジに従ってキャリブレーションが行われます。しかしお客様が16ペアの各ペアをユーザキャリブレーション(システム固有のカスタムキャリブレーション)に使用する可能性がなくなるわけではありません。

- ペア0 ⇒ PGAゲイン = 0.2V/V
- ペア1 ⇒ PGAゲイン = 0.4V/V
- ペア2 ⇒ PGAゲイン = 0.8 V/V
- ペア3 ⇒ PGAゲイン = 1 V/V
- ペア4 ⇒ PGAゲイン = 2 V/V
- ペア5 ⇒ PGAゲイン = 4 V/V
- ペア6 ⇒ PGAゲイン = 8 V/V
- ペア7 ⇒ PGAゲイン = 16 V/V

特定のペアを指すようにチャンネルを設定するには、レジスタCH\_CONFIG1のCH\_CAL\_GAIN\_OFFSETフィールドを使用します。

### 3.3 パーツ選択のトレードオフ

システムは、<200mWの電力目標で62.5µs以内に3つの信号(レンジ<10V)を連続的に測定する必要があると仮定します。シグナルレンジが10Vまでの場合、PGAゲインは0.2V/Vになります。ユーザは、ADCコードが最終値の0.01%以内に収まるように、チャンネル切り替え時間(NAFE13388およびNAFE73388データシートのTswitch)を遵守する必要があります。これにより、3つのチャンネル測定のための合計時間は、3\*(Tcnv+Tch\_delay)となり、ここでは、Tcnv=1/DataRateであり、Tch\_delay≥Tswitchです。

NAFE13388 Tswitchの16.4µsを満たすために、NAFE13388の最大データレート288Ksps(=3.472µs)とTch\_delay 16.5µs(コード=17)を使用した場合、総時間59.6µsは、150mWの標準消費電力で62.5µsのシステム要件を満たすことができます。NAFE13388の「ノイズとデータレート表」を参照すると、システムノイズは27.946mVrmsと推定されます。

NAFE73388データレート製品について同じ分析を行うと、96Ksps(コード=5)以上の上位6つのデータレートで、合計変換時間62.5µsのシステム要件を満たすことができます。ノイズを最小に保つために、システム設計者は、データレートの増加とともにノイズが増加するので、最も遅い許容可能なデータレート(0.2V/Vで149µVrmsノイズで96Ksps)を選択する必要があります。

以上の解析結果より、データレート96KspsのNAFE73388を使用することで、180mWの標準消費電力でシステム変換時間要件を満たしながら、最高のノイズ性能を得ることができます。

NAFE13388データシート表8-ノイズuVrms(24ビット)

Code	Data rate	Estimate noise (uVrms) vs. gain setting									
		2,304,000 OSR	0.2	0.4	0.8	1	2	4	8	16	
0	288000	8	27946.8	13973.4	6986.7	5589.4	2794.7	1397.4	698.7	349.45	
1	192000	12	7546.0	3773.0	1886.5	1509.2	754.6	377.4	188.8	94.62	
2	144000	16	2984.2	1492.1	746.1	596.9	298.5	149.3	74.9	37.85	
3	96000	24	818.1	409.1	204.6	163.7	82.0	41.2	21.1	11.50	
4	72000	32	343.5	171.8	86.0	68.8	34.6	17.8	9.7	6.26	
5	48000	48	137.2	68.7	34.5	27.7	14.2	7.8	5.1	4.09	
6	36000	64	98.8	49.5	24.9	20.0	10.4	5.9	4.1	3.45	

NAFE73388データシート表8-ノイズµVrms(24ビット)

Code	Data rate	Estimate noise (uVrms) vs PGA gain setting									
		4,608,000 OSR	0.2	0.4	0.8	1	2	4	8	16	
0	576000	8	27947.2	13973.6	6986.8	5589.5	2794.7	1397.4	698.8	349.58	
1	384000	12	7546.8	3773.4	1886.7	1509.4	754.8	377.5	189.0	94.92	
2	288000	16	2985.9	1493.0	746.5	597.2	298.7	149.6	75.2	38.42	
3	192000	24	822.2	411.1	205.7	164.6	82.6	41.8	21.9	12.69	
4	144000	32	350.8	175.5	87.9	70.4	35.7	18.7	10.9	7.79	
5	96000	48	149.0	74.6	37.6	30.2	15.8	9.1	6.4	5.58	
6	72000	64	110.9	55.6	28.1	22.6	12.0	7.2	5.3	4.76	

### 3.4 システム設定

前項で説明したチャンネル設定に加えて、システム全体に影響する設定が他にいくつかあります。

Register (16-bit)	Bit order	Bit name	RW	Reset	Short description
SYS_CONFIG0 0x30h	15	DRDY_PWDT	RW	0x0	DRDY pulse width duration (# of SYSCLK cycle): 0h = 2, 1h = 8
	14	ADC_DATA_OUT_16BIT	RW	0x0	ADC data register readout: 0h = 24 bit, 1h = 16 bit
	13	STATUS_STICKY			Prepended status bits behavior when bursting output data with STATUS_EN = 1. 0h = Sticky, 1h = Live (sampling at rising edge of DRDY).
	12	MCLK_OUT_ENABLE	RW	0x0	Enable the master clock(2*SYSCLK) output to GPIO9 pin. This bit supersedes and ignores the other GPIO9 setting.
	11:10	REF_SEL[1:0]	RW	0x0	Select to use Internal(REF_INT) or External(REF_EXT) 2.5 V voltage references for REF_BYP(of PGA) and REF_ADC(of ADC): 0h = Both REF_BYP and REF_ADC use REF_INT. 1h = REF_BYP uses REF_INT and REF_ADC uses REF_EXT. 2h = REF_BYP uses REF_EXT and REF_ADC uses REF_INT. 3h = REF_BYP uses REF_EXT and REF_ADC uses REF_EXT. <b>Note:</b> Internal reference is always powered on.
	9:8	CK_SRC_SEL[1:0]	RW	0x0	Select clock sources: 0h = internal clock, 1h = internal clock, and disable crystal oscillator circuit. 2h = applied external 18.432 MHz clock at XI pin, and disable crystal oscillator circuit. 3h = 18.432MHz Crystal is installed at XI, XO pins.
	7	CRC_EN	RW	0x0	Enable CRC: 0h = disable, 1h = enable.
	6	STATUS_EN	RW	0x0	To prepend 8-bit Live status bits to ADC data of enabled channels, MCH_EN[i] = 1. In Multichannel Read mode, the first 8 bits status bits is OR'd of the channels when in data output burst. SPI data: <status_8b><CH_DATAi>.<status_8b><CH_DATAi>... <b>Note:</b> Live status bits(MSB to LSB): overload, underload, over-range, under-range, overtemperature, global_alarm, overvoltage, CRC error.
	5	ADC_SYNC	RW	0x0	ADC Synchronization mode enabled for host-driven with SYNC pulse at pin. This works with all conversion modes. 0h = disabled SYNC pin, 1h = ADC is synchronized to SYNC pulse at rising edge and used as conversion start trigger
	4	DRDY_PIN_EDGE			To set the behavior of DRDY pin; especially in Multichannel modes, 0h = produce rising edge on every channel conversion done, 1h = produce rising edge only when the sequencer is done with the last enabled channel conversion.
	3	GLOBAL_ALARM_STICKY	RW	0x0	Global alarm interrupt default behavior is: 0h = cleared when global alarm register is read, 1h = Write 1 to clear a specific bit in the Global Alarm Interrupt register.
	2	SPI_DOUT_DRIVE	RW	0x0	Increase DOUT output drive if high capacitance loading.
1	INTB_DRIVER_TYPE	RW	0x0	INTB pin driver type: 0 = 100 Kohm pullup with open drain, 1 = CMOS push-pull.	
0	CRC_ERROR_ON_GPIO2	RW	0x0	To enable routing of CRC_ERROR interrupt to GPIO2 pin. 0h = normal GPIO function 1h = Output CRC_ERROR to GPIO2 pin, active high.	

### 3.4.1 データレディパルス持続時間(DRDY\_PWDT)

DRDY(立ち上がりエッジ)は、変換状態を示す出力ピンです。新たな変換結果がSPIバッファに格納され、読み取り可能な状態になると、DRDYはHighに駆動されます。

お客様のシステムに合わせて、データレディパルスの持続時間を変更することができます。デフォルトのパルス持続時間は、システムクロックの2サイクルタイムです。これではデータを十分にキャプチャできないという場合は、パルス持続時間をシステムクロックの8サイクルタイムに変更できます。

### 3.4.2 データ出力ビット数(ADC\_DATA\_OUT\_16 BIT)

ADC出力のデフォルトフォーマットは24ビットです。フォーマットを16ビットに減らすことができます。これは、16ビットの精度が十分であり、より高い速度が要求される場合に有用です。

### 3.4.3 ステッキングローバルアラームまたはステータスビット(STATUS\_STICKY/GLOBAL\_ALARM\_STICKY)

アラームまたは単純な情報は、グローバルアラーム割り込み(GAI)レジスタまたはステータスビット(ワードデータの後に付加されるビット)を介して報告されます。

このフラグには、次の2つの動作があります。

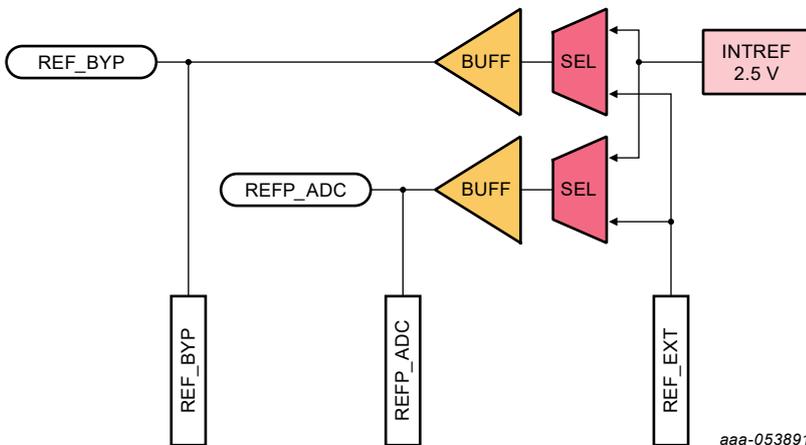
- ライブフラグ
- クリア可能なフラグ

スティッキ動作がイネーブルの場合、フラグのステータスをクリアするには、clearコマンドが必要です。スティッキ動作が無効になっている場合、フラグのステータスはLiveモードで動作します。

GAIレジスタ(アドレス0x331h)は、それぞれSYS\_CONFIG0.GLOBAL\_ALARM\_STICKY=0またはSYS\_CONFIG0.GLOBAL\_ALARM\_STICKY=1とプログラムすることで、非スティッキ動作またはスティッキ動作として設定できます。ステータスビットは、SYS\_CONFIG0.STATUS\_STICKY=1をプログラミングすることで固定できます。

### 3.4.4 電圧基準セクタ(REF\_SEL)

SYS\_CONFIG0.REF\_SEL[1:0]をプログラミングすることにより、REF\_BYNおよびREF\_ADCの基準ソースを外部または内部として独立に選択することができます。



### 3.4.5 クロックソースセクタ(CK\_SRC\_SEL)

クロックソースは、内部で供給することも、外部から直接提供することも、水晶振動子を介して外部で生成することもできます。NAFEのデフォルトは内部クロックであり、SYS\_CONFIG0.CK\_SRC\_SEL[1:0]をプログラミングすることで適切な外部ソースに設定できます。

### 3.4.6 ステータスバイトイネーブル(STATUS\_EN)

SYS\_CONFIG0内のSTATUS\_ENビットをアサートする事により、ADCデータの前にライブステータスバイトを付加できます。このステータスバイトは、範囲外の負荷、レンジ、温度、電圧、アラーム、CRCエラー状態を示します。

### 3.4.7 ADC信号開始変換(ADC\_SYNC)

変換開始は、最後のクロック立ち下がりエッジでのSPI(シリアルペリフェラルインターフェース)コマンドまたはSYNC立ち上がりエッジのいずれかによってトリガできます。SYS\_CONFIG0.ADC\_SYNCビットは、SYNCピン(ピン40)に印加されるSYNCパルスとの同期を開始するADC変換を有効にするようにプログラムする必要があります。SYNCパルスの最小幅は $2 \times T_{sys\_clk}$ でなければなりません。

### 3.4.8 データレディ動作(DRDY\_PIN\_EDGE)

データレディピンの動作は、システム設計のニーズに合わせてマルチチャンネルモードで変更できます。Defaultモードでは、各チャンネル変換の終了時に立ち上がりエッジが生成されますが、SYS\_CONFIG0.DRDY\_PIN\_EDGE=1に設定することで、最後に有効になっていたチャンネル変換が終了したときのみ立ち上がりエッジを生成することができます。

## 4 改定履歴

Table 25. 改定履歴

改訂版	日付	説明
AN14102_JA v 1.1	2023年11月30日	<ul style="list-style-type: none"><li>• <a href="#">Table 4</a><ul style="list-style-type: none"><li>- 「フィールド値[Hex]」の下の「CH 5 6」を「CH6」に変更</li><li>- 「レジスタ値[Hex]」下の「CH_CONFIG2」の値を「2C00」、「2C00」、「2C00」、「2C00」、「3800」、「3800」、「2C00」からそれぞれ「4400」、「4400」、「4400」、「4400」、「5000」、「5000」、「4400」に変更</li></ul></li><li>• 更新 <a href="#">Figure 4</a>, <a href="#">Figure 6</a></li></ul>
AN14102_JA v.1	2023/11/27	初版

5 付録

Table 26. HV入力範囲と分解能

公称レンジ値(V)								
タイプ	PGAゲイン設定							
	0.2	0.4	0.8	1	2	4	8	16
バイポーラDIFF	±20.00000	±10.00000	±5.00000	±4.00000	±2.00000	±1.00000	±0.50000	±0.25000
バイポーラSE	±10.00000	±5.00000	±2.50000	±2.00000	±1.00000	±0.50000	±0.25000	±0.12500
ユニポーラDIFF	±10.00000	±5.00000	±2.50000	±2.00000	±1.00000	±0.50000	±0.25000	±0.12500
ユニポーラSE	±10.00000	±5.00000	±2.50000	±2.00000	±1.00000	±0.50000	±0.25000	±0.12500
最小値および最大値(V)								
タイプ	PGAゲイン設定							
	0.2	0.4	0.8	1	2	4	8	16
バイポーラDIFF	±25.00000	±12.50000	±6.25000	±5.00000	±2.50000	±1.25000	±0.62500	±0.31250
バイポーラSE	±12.50000	±6.25000	±3.12500	±2.50000	±1.25000	±0.62500	±0.31250	±0.15625
ユニポーラDIFF	±12.50000	±6.25000	±3.12500	±2.50000	±1.25000	±0.62500	±0.31250	±0.15625
ユニポーラSE	±12.50000	±6.25000	±3.12500	±2.50000	±1.25000	±0.62500	±0.31250	±0.15625
フルレンジスケール(V)								
タイプ	PGAゲイン設定							
	0.2	0.4	0.8	1	2	4	8	16
バイポーラDIFF	50	25	12.5	10	5	2.5	1.25	0.625
バイポーラSE	25	12.5	6.25	5	2.5	1.25	0.625	0.3125
ユニポーラDIFF	25	12.5	6.25	5	2.5	1.25	0.625	0.3125
ユニポーラSE	12.5	6.25	3.125	2.5	1.25	0.625	0.3125	0.15625
分解能(V)								
タイプ	PGAゲイン設定							
	0.2	0.4	0.8	1	2	4	8	16
バイポーラDIFF	3.0E-6	1.5E-6	745.1E-9	596.0E-9	298.0E-9	149.0E-9	74.5E-9	37.3E-9
バイポーラSE	3.0E-6	1.5E-6	745.1E-9	596.0E-9	298.0E-9	149.0E-9	74.5E-9	37.3E-9
ユニポーラDIFF	3.0E-6	1.5E-6	745.1E-9	596.0E-9	298.0E-9	149.0E-9	74.5E-9	37.3E-9
ユニポーラSE	3.0E-6	1.5E-6	745.1E-9	596.0E-9	298.0E-9	149.0E-9	74.5E-9	37.3E-9

Table 27. 一般的な読み取り期間

システムクロック=4,608,000						
ADCデータレート(sps)	ADC変換周期	固定遅延 (#sysclk)	Prog遅延 (#sysclk)	Prog遅延	実際の読み取り期間	読み取り対象期間
288000.00	3.472E-6	0	0	000.000E+0	3.5E-6	4.0E-6
288000.00	3.472E-6	0	2	434.028E-9	3.9E-6	4.0E-6
192000.00	5.208E-6	0	4	868.056E-9	6.1E-6	6.0E-6
192000.00	5.208E-6	0	6	1.302E-6	6.5E-6	6.7E-6
144000.00	6.944E-6	0	4	868.056E-9	7.8E-6	8.0E-6
144000.00	6.944E-6	0	14	3.038E-6	10.0E-6	10.0E-6
96000.00	10.417E-6	0	8	1.736E-6	12.2E-6	12.0E-6
96000.00	10.417E-6	0	12	2.604E-6	13.0E-6	13.3E-6
96000.00	10.417E-6	0	16	3.472E-6	13.9E-6	14.0E-6
72000.00	13.889E-6	0	10	2.170E-6	16.1E-6	16.0E-6
72000.00	13.889E-6	0	18	3.906E-6	17.8E-6	18.0E-6
72000.00	13.889E-6	0	28	6.076E-6	20.0E-6	20.0E-6

Table 27. 一般的な読み取り期間...continued

システムクロック=4,608,000						
48000.00	20.833E-6	0	20	4.340E-6	25.2E-6	25.0E-6
48000.00	20.833E-6	0	42	9.115E-6	29.9E-6	30.0E-6
36000.00	27.778E-6	0	56	12.153E-6	39.9E-6	40.0E-6
24000.00	41.667E-6	0	38	8.247E-6	49.9E-6	50.0E-6
18000.00	55.556E-6	0	20	4.340E-6	59.9E-6	60.0E-6
18000.00	55.556E-6	0	90	19.531E-6	75.1E-6	75.0E-6
18000.00	55.556E-6	1	204	44.271E-6	99.8E-6	100.0E-6
12000.00	83.333E-6	0	76	16.493E-6	99.8E-6	100.0E-6
9000.00	111.111E-6	0	40	8.681E-6	119.8E-6	120.0E-6
9000.00	111.111E-6	0	64	13.889E-6	125.0E-6	125.0E-6
9000.00	111.111E-6	0	178	38.628E-6	149.7E-6	150.0E-6
9000.00	111.111E-6	0	224	48.611E-6	159.7E-6	160.0E-6
6000.00	166.667E-6	0	154	33.420E-6	200.1E-6	200.0E-6
4500.00	222.222E-6	0	128	27.778E-6	250.0E-6	250.0E-6
4500.00	222.222E-6	0	358	77.691E-6	299.9E-6	300.0E-6
2250.00	444.444E-6	0	256	55.556E-6	500.0E-6	500.0E-6
2250.00	444.444E-6	0	716	155.382E-6	599.8E-6	600.0E-6
1125.00	888.889E-6	0	512	111.111E-6	1.0E-3	1.0E-3
1125.00	888.889E-6	0	1,664	361.111E-6	1.3E-3	1.3E-3
1125.00	888.889E-6	0	3,276	710.938E-6	1.6E-3	1.6E-3
562.50	1.778E-3	0	1,024	222.222E-6	2.0E-3	2.0E-3
400.00	2.500E-3	0	0	000.000E+0	2.5E-3	2.5E-3
200.00	5.000E-3	0	0	000.000E+0	5.0E-3	5.0E-3
100.00	10.000E-3	0	0	000.000E+0	10.0E-3	10.0E-3
60.00	16.667E-3	0	0	000.000E+0	16.7E-3	16.7E-3
50.00	20.000E-3	0	0	000.000E+0	20.0E-3	20.0E-3
30.00	33.333E-3	0	0	000.000E+0	33.3E-3	33.3E-3
30.00	33.333E-3	0	19,200	4.167E-3	37.5E-3	37.5E-3
25.00	40.000E-3	0	0	000.000E+0	40.0E-3	40.0E-3
25.00	40.000E-3	0	23,040	5.000E-3	45.0E-3	45.0E-3
20.00	50.000E-3	0	0	000.000E+0	50.0E-3	50.0E-3
15.00	66.667E-3	0	0	000.000E+0	66.7E-3	66.6E-3
10.00	100.000E-3	0	0	000.000E+0	100.0E-3	100.0E-3
7.50	133.333E-3	0	0	000.000E+0	133.3E-3	133.3E-3
7.50	133.333E-3	0	7,680	1.667E-3	135.0E-3	135.0E-3
7.50	133.333E-3	0	8,191	1.778E-3	135.1E-3	360.0E-3

Table 28. ノイズ $\mu\text{Vrms}$ (24ビット)

コード	データレート	2,304,000	ゲイン設定に対する推定ノイズ( $\mu\text{Vrms}$ )							
		OSR	0.2	0.4	0.8	1	2	4	8	16
0	288000	8	27946.8	13973.4	6986.7	5589.4	2794.7	1397.4	698.7	349.45
1	192000	12	7546.0	3773.0	1886.5	1509.2	754.6	377.4	188.8	94.62
2	144000	16	2984.2	1492.1	746.1	596.9	298.5	149.3	74.9	37.85
3	96000	24	818.1	409.1	204.6	163.7	82.0	41.2	21.1	11.50
4	72000	32	343.5	171.8	86.0	68.8	34.6	17.8	9.7	6.26
5	48000	48	137.2	68.7	34.5	27.7	14.2	7.8	5.1	4.09
6	36000	64	98.8	49.5	24.9	20.0	10.4	5.9	4.1	3.45
7	24000	96	76.3	38.2	19.2	15.5	8.1	4.6	3.2	2.80
8	18000	128	65.7	32.9	16.6	13.3	7.0	4.0	2.8	2.42
9	12000	192	53.6	26.8	13.5	10.9	5.7	3.3	2.3	1.98
10	9000	256	46.4	23.2	11.7	9.4	4.9	2.8	2.0	1.71
11	6000	384	37.9	19.0	9.6	7.7	4.0	2.3	1.6	1.40
12	4500	512	32.8	16.4	8.3	6.7	3.5	2.0	1.4	1.21
13	3000	768	26.8	13.4	6.8	5.4	2.8	1.6	1.1	0.99
14	2250	1024	23.2	11.6	5.9	4.7	2.5	1.4	1.0	0.86
15	1125	2048	16.4	8.2	4.1	3.3	1.7	1.0	0.7	0.61
16	562.5	4096	11.6	5.8	2.9	2.4	1.2	0.7	0.5	0.43
17	400	5760	9.8	4.9	2.5	2.0	1.0	0.6	0.4	0.36
18	300	7680	8.5	4.3	2.2	1.7	0.9	0.5	0.4	0.31
19	200	11520	7.0	3.5	1.8	1.4	0.7	0.4	0.3	0.26
20	100	23040	5.0	2.5	1.3	1.0	0.5	0.3	0.2	0.18
21	60	38400	3.9	2.0	1.0	0.8	0.4	0.2	0.2	0.14
22	50	46080	3.6	1.8	0.9	0.7	0.4	0.2	0.2	0.13
23	30	76800	2.9	1.4	0.7	0.6	0.3	0.2	0.1	0.10
24	25	92160	2.7	1.3	0.7	0.5	0.3	0.2	0.1	0.09
25	20	115200	2.4	1.2	0.6	0.5	0.3	0.1	0.1	0.08
26	15	153600	2.2	1.1	0.5	0.4	0.2	0.1	0.1	0.07
27	10	230400	1.9	0.9	0.5	0.4	0.2	0.1	0.1	0.06
28	7.5	307200	1.7	0.9	0.4	0.3	0.2	0.1	0.1	0.05

## 6 参考

---

- [1] [NAFE13388](#)、「NAFE11388 ユニバーサル  $\pm 25V$  8入力低電力AFE」、データシート
- [2] [NAFE73388](#)、「励起源を備えたユニバーサル $\pm 25V$  8入力高速AFE」、データシート
- [3] [エンジニアリングツールボックス](#)
- [4] [計測ツール](#)
- [5] [NIST テーブル k タイプ](#)

## Legal information

### Definitions

**Draft** — A draft status on a document indicates that the content is still under internal review and subject to formal approval, which may result in modifications or additions. NXP Semiconductors does not give any representations or warranties as to the accuracy or completeness of information included in a draft version of a document and shall have no liability for the consequences of use of such information.

### Disclaimers

**Limited warranty and liability** — Information in this document is believed to be accurate and reliable. However, NXP Semiconductors does not give any representations or warranties, expressed or implied, as to the accuracy or completeness of such information and shall have no liability for the consequences of use of such information. NXP Semiconductors takes no responsibility for the content in this document if provided by an information source outside of NXP Semiconductors.

In no event shall NXP Semiconductors be liable for any indirect, incidental, punitive, special or consequential damages (including - without limitation - lost profits, lost savings, business interruption, costs related to the removal or replacement of any products or rework charges) whether or not such damages are based on tort (including negligence), warranty, breach of contract or any other legal theory.

Notwithstanding any damages that customer might incur for any reason whatsoever, NXP Semiconductors' aggregate and cumulative liability towards customer for the products described herein shall be limited in accordance with the Terms and conditions of commercial sale of NXP Semiconductors.

**Right to make changes** — NXP Semiconductors reserves the right to make changes to information published in this document, including without limitation specifications and product descriptions, at any time and without notice. This document supersedes and replaces all information supplied prior to the publication hereof.

**Applications** — Applications that are described herein for any of these products are for illustrative purposes only. NXP Semiconductors makes no representation or warranty that such applications will be suitable for the specified use without further testing or modification.

Customers are responsible for the design and operation of their applications and products using NXP Semiconductors products, and NXP Semiconductors accepts no liability for any assistance with applications or customer product design. It is customer's sole responsibility to determine whether the NXP Semiconductors product is suitable and fit for the customer's applications and products planned, as well as for the planned application and use of customer's third party customer(s). Customers should provide appropriate design and operating safeguards to minimize the risks associated with their applications and products.

NXP Semiconductors does not accept any liability related to any default, damage, costs or problem which is based on any weakness or default in the customer's applications or products, or the application or use by customer's third party customer(s). Customer is responsible for doing all necessary testing for the customer's applications and products using NXP Semiconductors products in order to avoid a default of the applications and the products or of the application or use by customer's third party customer(s). NXP does not accept any liability in this respect.

**Terms and conditions of commercial sale** — NXP Semiconductors products are sold subject to the general terms and conditions of commercial sale, as published at <https://www.nxp.com/profile/terms>, unless otherwise agreed in a valid written individual agreement. In case an individual agreement is concluded only the terms and conditions of the respective agreement shall apply. NXP Semiconductors hereby expressly objects to applying the customer's general terms and conditions with regard to the purchase of NXP Semiconductors products by customer.

**Export control** — This document as well as the item(s) described herein may be subject to export control regulations. Export might require a prior authorization from competent authorities.

**Translations** — A non-English (translated) version of a document, including the legal information in that document, is for reference only. The English version shall prevail in case of any discrepancy between the translated and English versions.

**Security** — Customer understands that all NXP products may be subject to unidentified vulnerabilities or may support established security standards or specifications with known limitations. Customer is responsible for the design and operation of its applications and products throughout their lifecycles to reduce the effect of these vulnerabilities on customer's applications and products. Customer's responsibility also extends to other open and/or proprietary technologies supported by NXP products for use in customer's applications. NXP accepts no liability for any vulnerability. Customer should regularly check security updates from NXP and follow up appropriately. Customer shall select products with security features that best meet rules, regulations, and standards of the intended application and make the ultimate design decisions regarding its products and is solely responsible for compliance with all legal, regulatory, and security related requirements concerning its products, regardless of any information or support that may be provided by NXP.

NXP has a Product Security Incident Response Team (PSIRT) (reachable at [PSIRT@nxp.com](mailto:PSIRT@nxp.com)) that manages the investigation, reporting, and solution release to security vulnerabilities of NXP products.

**Suitability for use in industrial applications (functional safety)** — This NXP product has been qualified for use in industrial applications. It has been developed in accordance with IEC 61508, and has been SIL-classified accordingly. If this product is used by customer in the development of, or for incorporation into, products or services (a) used in safety critical applications or (b) in which failure could lead to death, personal injury, or severe physical or environmental damage (such products and services hereinafter referred to as "Critical Applications"), then customer makes the ultimate design decisions regarding its products and is solely responsible for compliance with all legal, regulatory, safety, and security related requirements concerning its products, regardless of any information or support that may be provided by NXP. As such, customer assumes all risk related to use of any products in Critical Applications and NXP and its suppliers shall not be liable for any such use by customer. Accordingly, customer will indemnify and hold NXP harmless from any claims, liabilities, damages and associated costs and expenses (including attorneys' fees) that NXP may incur related to customer's incorporation of any product in a Critical Application.

**NXP B.V.** — NXP B.V. is not an operating company and it does not distribute or sell products.

### Trademarks

Notice: All referenced brands, product names, service names, and trademarks are the property of their respective owners.

**NXP** — wordmark and logo are trademarks of NXP B.V.

## Tables

Tab. 1.	Vsenseの論理チャンネルの割当てとゲイン選択	5	Tab. 15.	4線式RTDのNAFE構成	16
Tab. 2.	Vsenseの論理チャンネルデータレート選択	6	Tab. 16.	NIST変換表	18
Tab. 3.	Vsenseの論理チャンネル読み取り時間	7	Tab. 17.	熱電対の論理チャンネル割当て	19
Tab. 4.	Vsenseのレジスタ構成	7	Tab. 18.	熱電対の論理チャンネルゲインとデータレートの選択	19
Tab. 5.	システム電流要件およびオプション	8	Tab. 19.	熱電対の論理チャンネル読み取り時間	20
Tab. 6.	250Ωを使った電流検出のためのロジックチャンネル割り当て	9	Tab. 20.	熱電対測定のレジスタ構成	20
Tab. 7.	250Ωを使った電流検出のためのレジスタ構成	9	Tab. 21.	ロードセルの論理チャンネル割当て	21
Tab. 8.	サーミスタ、RTD、熱電対の相对比较	9	Tab. 22.	ロードセルの論理チャンネルデータレート選択	21
Tab. 9.	論理チャンネルVIEX選択	11	Tab. 23.	ロードセルの論理チャンネルVIEX選択	22
Tab. 10.	論理チャンネルアナログ入力選択	11	Tab. 24.	ロードセルのレジスタ構成	22
Tab. 11.	2線式RTDのNAFE構成	11	Tab. 25.	改定履歴	29
Tab. 12.	3線式RTDの論理チャンネルVIEX選択	14	Tab. 26.	HV入力範囲と分解能	30
Tab. 13.	3線式RTDのNAFE構成	14	Tab. 27.	一般的な読み取り期間	30
Tab. 14.	4線式RTDの論理チャンネルVIEX選択	16	Tab. 28.	ノイズ $\mu$ Vrms(24ビット)	32

## Figures

Fig. 1.	NAFE13388ブロック図 .....	4	Fig. 9.	熱電対 .....	18
Fig. 2.	NAFEを用いた電圧センシングの例 .....	5	Fig. 10.	NAFE11388を用いた熱電対測定 .....	19
Fig. 3.	SINCノーマルモード除去対周波数対データ比 .....	6	Fig. 11.	ロードセル .....	21
Fig. 4.	電流検知 .....	8	Fig. 12.	NAFE13388を用いたロードセル測定 .....	21
Fig. 5.	NAFEへの2線式RTD接続 .....	10	Fig. 13.	NAFExx388 GUIを使用した重量測定 .....	23
Fig. 6.	NAFE13388への3線式RTD接続 .....	13	Fig. 14.	ロードセルキャリブレーション .....	24
Fig. 7.	NAFE13388への4線式RTD接続 .....	15	Fig. 15.	NAFE GPIO使用例 .....	24
Fig. 8.	NAFExx388 GUIを使用した4線式RTD測定 .....	17	Fig. 16.	アンダーレンジおよびオーバーレンジフラグ .....	25

## Contents

<b>1</b>	<b>はじめに</b> .....	<b>2</b>
1.1	NAFE製品ファミリ .....	2
1.2	NAFEの特徴 .....	3
<b>2</b>	<b>アプリケーション</b> .....	<b>4</b>
2.1	自己診断 .....	4
2.2	電圧センシング .....	5
2.3	電流検知 .....	8
2.4	温度センシング .....	9
2.4.1	2線式RTD .....	10
2.4.2	2線式RTDのNAFE構成 .....	11
2.4.3	3線式RTD .....	13
2.4.4	3線式RTDのNAFE構成 .....	14
2.4.5	4線式RTD .....	15
2.4.6	4線式RTDのNAFE構成 .....	15
2.4.7	NAFE13388 GUIを使用した4線式RTD測定 .....	17
2.4.8	熱電対 .....	17
2.4.8.1	NAFEリファレンスRTD搭載+熱電対センシングの概略例 .....	19
2.4.8.2	NAFE構成-リファレンスRTD搭載+熱電対センシング .....	19
2.5	荷重変換器(ロードセル) .....	20
2.5.1	NAFE励起+センシングの概略例 .....	21
2.5.2	NAFE構成 .....	21
2.5.3	NAFE GUIの例-NAFExx388 GUIを使用した重量スケール .....	23
2.6	NAFE GPIOによる外部コンポーネントの管理 .....	24
<b>3</b>	<b>機能の説明</b> .....	<b>25</b>
3.1	オーバーロードとオーバーレンジ .....	25
3.2	ゲイン設定に関するキャリブレーションポイント .....	25
3.3	パーツ選択のトレードオフ .....	26
3.4	システム設定 .....	26
3.4.1	データレディバルス持続時間(DRDY_PWDT) .....	27
3.4.2	データ出力ビット数(ADC_DATA_OUT_16 BIT) .....	27
3.4.3	スティッキグローバルアラームまたはステータスビット(STATUS_STICKY/GLOBAL_ALARM_STICKY) .....	27
3.4.4	電圧基準セクタ(REF_SEL) .....	28
3.4.5	クロックソースセクタ(CK_SRC_SEL) .....	28
3.4.6	ステータスバイトイネーブル(STATUS_EN) .....	28
3.4.7	ADC信号開始変換(ADC_SYNC) .....	28
3.4.8	データレディ動作(DRDY_PIN_EDGE) .....	28
<b>4</b>	<b>改定履歴</b> .....	<b>29</b>
<b>5</b>	<b>付録</b> .....	<b>30</b>
<b>6</b>	<b>参考</b> .....	<b>33</b>
	<b>Legal information</b> .....	<b>34</b>

Please be aware that important notices concerning this document and the product(s) described herein, have been included in section 'Legal information'.

© 2024 NXP B.V.

All rights reserved.

For more information, please visit: <https://www.nxp.com>

Date of release: 30 November 2023  
Document identifier: AN14102\_JA